

## Appendice A

### La storia dei dispositivi programmabili

I componenti *FPGA* ( *Field Programmable Gate Array*) utilizzati nel presente lavoro di tesi, sono dispositivi logici programmabili la cui diffusione ha avuto inizio nella seconda metà degli anni '70 come terza generazione di *PLD* ( *Programmable Logic Device*).

L'utilizzo dei componenti *PLD* risale alla seconda metà degli anni '60, con l'introduzione di una "matrice a diodi configurabile". Il dispositivo fu sviluppato e realizzato presso i laboratori della *Harris Semiconductor*, conosciuta allora come *Radiation Inc.* Il dispositivo consentiva di realizzare semplici funzioni logiche bruciando le connessioni tra i diodi all'interno della matrice, tramite il passaggio di una corrente elevata attraverso le connessioni stesse. La programmazione della matrice era eseguita dalla *Harris*, in quanto non erano disponibili in commercio dispositivi per la programmazione.

Nel 1969 i ricercatori della *IBM* svilupparono le memorie *ROAM* ( *Read Only Associative Memory*). Il dispositivo era costituito da una matrice di porte logiche, piuttosto che di diodi, collegate da interconnessioni programmabili. Nel 1970 la *Texas Instrument* realizzò il primo circuito integrato basato interamente su *ROAM*, coniando il termine *PLA* ( *Programmable Logic Array*). Il dispositivo, denominato *TMS2000* aveva 17 ingressi e 18 uscite, con 8 flip flop di tipo J-K come elementi di memoria. Veniva programmato alla produzione realizzando la maschera di connessioni come indicato dal cliente, ma non fu accettato favorevolmente dai mercati a causa dei costi elevati di produzione.

Contemporaneamente furono introdotte sul mercato, dalla *Harris*, le memorie *PROM* (Programmable Read Only Memory). Anche queste memorie erano basate su connessioni interne, che venivano programmate applicando specifiche configurazioni in tensione sulle linee di ingresso. Il successo dei dispositivi *PROM* favorì la nascita di compagnie, quali la *PROLOG* o la *DATA I/O*, che si specializzarono nella programmazione di questi componenti e nello sviluppo di dispositivi programmatori. I dispositivi *PROM* furono impiegati dalle compagnie produttrici di circuiti integrati come memorie a sola lettura o per realizzare funzioni logiche, quali codificatori di indirizzo o semplici macchine a stati. Fu inoltre istituita la commissione *JC-42*, all'interno della *JEDEC* ( Joint Electron Device Engineering Council ) incaricata di definire alcuni standard.

Nel 1973 la *National Semiconductor* produsse una versione semplificata di componenti *PLA*, denominata *DM7575/DM8575*, con soli 14 ingressi e 8 uscite e senza elementi di memoria integrati. Tali componenti furono i prototipi dei dispositivi *FPLA* ( Field Programmable Logic Array), introdotti in seguito dalla *Intersil* e dalla *Signetics*.

Nel giugno del 1975 la *Intersil* annunciò la produzione di dispositivi *IM5200*, che introducevano una nuova tecnologia, definita *AIM* (Avalanche Induced Migration), nello sviluppo dei dispositivi programmabili. La nuova tecnologia utilizzava transistor npn come elemento programmabile. Inducendo una corrente elevata tra l'emettitore e il collettore si produce un cortocircuito della giunzione base-emettitore, che configura il transistor come un semplice diodo. Sfortunatamente il nuovo dispositivo non si rivelò molto affidabile e non ebbe una grande diffusione commerciale. Una sorte migliore toccò ai componenti *82S100 FPLA*, prodotti dalla *Signetics*, che utilizzavano la vecchia tecnologia delle connessioni fusibili. Erano integrati in un *package DIP* ( Dual Inline Package ) a 28 pin, di dimensioni ~ 15 cm. Tuttavia, come tutti i dispositivi *FPLA* avevano prestazioni in frequenza limitate, erano costosi e ritenuti non facilmente collaudabili. Inoltre le

funzioni logiche che si intendeva realizzare dovevano essere convertite in uno standard tabulare definito *H&L*, poco familiare ai progettisti.

Il successo dei dispositivi *PLD* fu in effetti decretato dai componenti *PAL* annunciati nell'estate del 1978 dalla *Monolithic Memories Inc.* La *MMI* veniva da una lunga collaborazione con il *General Electric Research and Development Center* di *Schenectady, NY*, durante la quale aveva sviluppato, a fini di ricerca, dispositivi riprogrammabili denominati *PALA* (*Programmable Associative Logic Array*) basati sulla tecnologia delle *PROM*. Fu inoltre definito un linguaggio di programmazione, denominato *PALASM* (*PALa ASeMbler*), simile al *FORTRAN*, che consentiva di descrivere funzioni logiche complesse. Tale linguaggio, per la sua semplicità, fu adottato da diverse compagnie produttrici di programmatori di dispositivi *PAL*. Dieci anni dopo l'introduzione dei primi componenti *PAL 16L8*, ad indicarne il successo, questi rappresentavano ancora i principali dispositivi adoperati dai progettisti, sebbene già allora esistessero in commercio oltre 200 tipi diversi di *PLD*. La *MMI* però non fu in grado, almeno nei primi tempi, di adeguare la produzione di *PAL* con l'enorme richiesta. La *Digital Equipment Corporation*, che impiegava questi dispositivi nella realizzazione dei calcolatori *VAX730*, suggerì alla *MMI* lo sviluppo di una versione programmabile a maschera di questi componenti denominata in seguito *HAL* (*Hard Array Logic*). I componenti *HAL* ebbero un tale successo che ciò consentì alla *MMI* una rapida espansione, tanto che gli sforzi della società furono tesi allo sviluppo di *PAL* dalle prestazioni più elevate in concorrenza, inizialmente, con la *AMD* (*Advanced Micro Device*).

In quegli anni la tecnologia dominante nello sviluppo dei dispositivi *PAL* era la tecnologia bipolare, con cui erano state realizzate le prime *PROM*. Nella primavera del 1984 la *Altera* annunciò la produzione dei componenti *EP300*, realizzati in tecnologia *CMOS*. La nuova tecnologia consentiva di realizzare dispositivi a densità di integrazione più elevata, con maggiore

---

complessità e migliori prestazioni. Tuttavia, questi nuovi componenti richiedevano anche lo sviluppo di *tool* di supporto più sofisticati. Alcuni mesi dopo l'introduzione degli *EP300*, la *Altera* presentò un sistema denominato *A+PLUS*, per personal computer *IBM*, da utilizzare per lo sviluppo di progetti digitali nei dispositivi *EP300*. Il sistema comprendeva anche un semplice dispositivo programmatore che andava inserito sulle schede di espansione del calcolatore. Altre compagnie percorsero la strada aperta dalla *Altera*, quali la *Cypress Semiconductor* ( in collaborazione con la *MMI* ) o la *Lattice Semiconductor* e la *ICT* ( *International CMOS Technology*).

Una seconda rivoluzione nella storia dei dispositivi logici programmabili si verificò nel 1984 con l'introduzione dei dispositivi *LCA* ( *Logic Cell Array* ) prodotti dalla *Xilinx*, ancora oggi uno dei principali produttori al mondo di componenti *FPGA*. Diversamente dai dispositivi *PLD*, che sono composti da un'unica struttura programmabile, i componenti *FPGA* comprendono una matrice di celle configurabili *CLB* ( *Configurable Logic Block* ) in grado di realizzare qualunque funzione logica di un numero limitato di variabili e connesse da interconnessioni programmabili. Nel paragrafo successivo sono descritte in dettaglio le caratteristiche dei dispositivi *FPGA* della serie *SPARTANXL* prodotti dalla *Xilinx*.

## I dispositivi FPGA Xilinx della serie SpartanXL

I componenti della serie *SpartanXL* sono dispositivi logici programmabili *FPGA* distribuiti dalla *Xilinx* [11]. Lo sviluppo di tecnologie avanzate nel campo dei semiconduttori ha consentito di raggiungere prestazioni elevate, fino ad oltre 150MHz in frequenza.

Alcuni dei principali vantaggi dei nuovi dispositivi di questa serie rispetto alle versioni precedenti riguardano:

- Una maggiore capacità logica, fino a 40000 gates.
- Una architettura di connessione più flessibile, con 8 buffer dedicati alla distribuzione di segnali critici.
- Una minore dissipazione di potenza: i componenti sono realizzati in tecnologia *S-Ram* 0.22  $\mu\text{m}$  ed alimentati a 3.3V.
- Riprogrammabilità illimitata, effettuata tramite la lettura dei dati di configurazione da un dispositivo esterno (*PROM*).

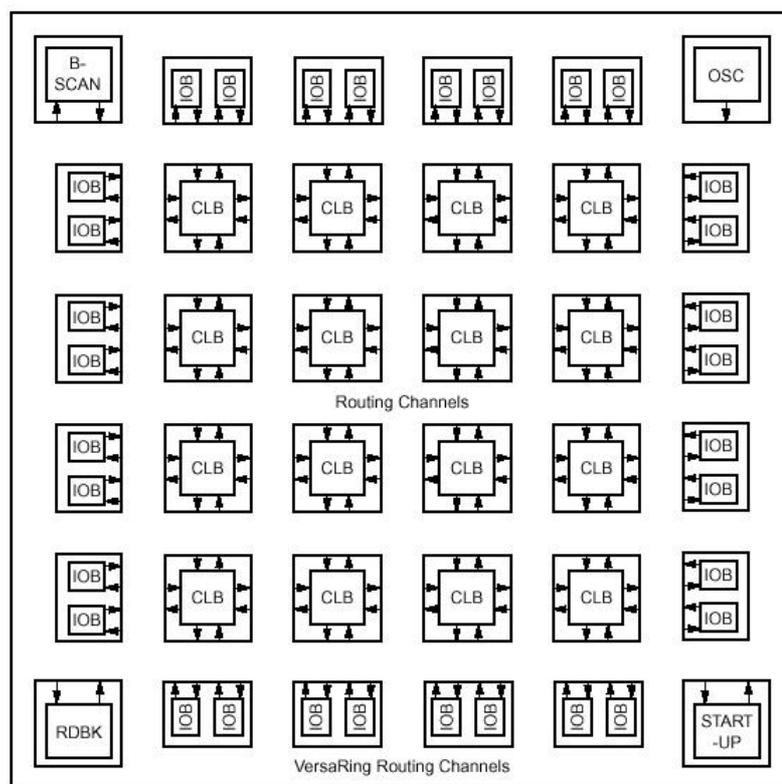


Figura A.1.1 Il diagramma a blocchi di una FPGA

Come mostrato in figura A.1.1, la famiglia di *FPGA SpartanXL* ha una architettura di *CLB* flessibile e programmabile, circondata da un perimetro di *IOB* (*I/O Block*) e presenta altri quattro blocchi logici, uno in ciascun angolo della scheda, per la gestione del dispositivo. In questi quattro blocchi viene eseguito il controllo e la compensazione del ritardo sul clock distribuito, può essere gestito un oscillatore locale (*OSC*) ed è controllata la gestione del componente all'accensione (*START UP*).



In ogni *CLB*, due “*look-up table*”, indicate in figura come *F-LUT* e *G-LUT*, consentono ognuna di realizzare qualunque funzione logica di 4 variabili booleane indipendenti. Le uscite possono essere registrate negli elementi di memoria o, indipendentemente, riportate in ingresso ad un generatore di funzioni H. In questo modo ogni *CLB* può essere configurata in modo da realizzare:

- 2 funzioni logiche di 4 variabili indipendenti ed insieme una qualunque funzione di 3 variabili.
- una qualunque funzione logica di 5 variabili.
- una qualunque funzione logica di 4 variabili ed insieme alcune particolari funzioni di 6 variabili.
- alcune particolari funzioni di 9 variabili.

Ogni *CLB* presenta inoltre 4 linee di controllo. Se la *CLB* è configurata come generatore di funzioni, il significato di questi segnali è il seguente:

- *ec: enable\_clock*;
- *sr/h0* : set/reset asincrono o ingresso 0 del generatore H;
- *din/h2* : ingresso diretto agli elementi di memoria o ingresso 2 al generatore H;
- *h1* : ingresso 1 al generatore H.

Ogni generatore di funzione F e G contiene inoltre della logica dedicata alla generazione dei segnali di riporto ( *fast carry logic* ) che utilizza interconnessioni indipendenti. Questo consente di migliorare le prestazioni di particolari sistemi come comparatori, contatori, addizionatori.

Le *look-up table* possono essere altrimenti configurate come memorie RAM, fino a dimensioni di 32\*1, con una o più porte di lettura e scrittura.

Gli *I/O Block* rappresentano gli ingressi e le uscite dalla *FPGA* e supportano un'ampia varietà di segnali di *I/O* standard. Ogni *I/O Block* controlla un *pin* della *FPGA* ed è configurabile come elemento di ingresso,

---

di uscita o bidirezionale. I segnali in ingresso e in uscita possono essere registrati all'interno degli elementi di memoria dell'*I/O Block*. Tali elementi di memoria sono configurabili come *flip flop* di tipo D o come *latch*. Ciascun *I/O Block* ha un segnale di clock (*IK* o *OK*) diviso sui due registri e su ognuno di questi un segnale di *Clock Enable* (*EC*). Questi due registri condividono anche un segnale di set/reset, non visibile in figura A.1.3.

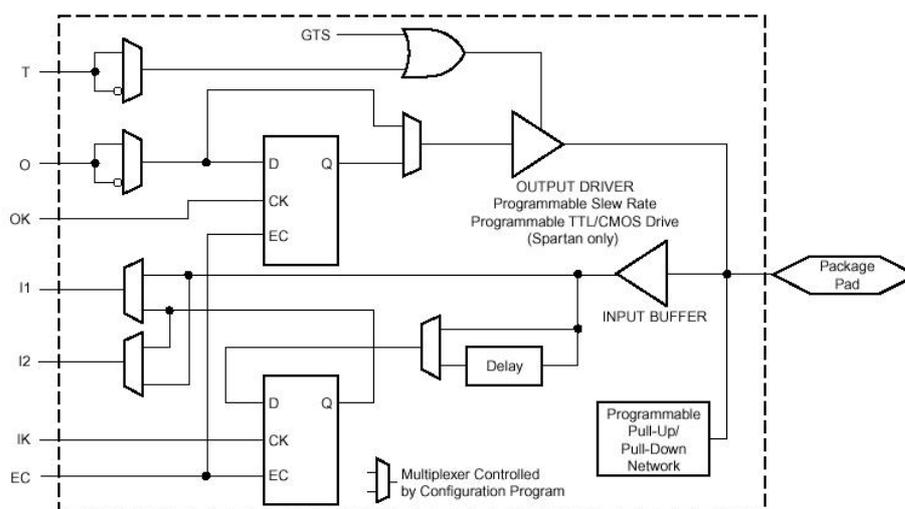


Figura A.1.3 Il diagramma a blocchi di un *I/O Block*

Come mostrato in figura A.1.3, il segnale in ingresso alle *PAD* è riportato all'interno del dispositivo tramite le linee *I1* ed *I2*. Il segnale in uscita è invece riportato sulle *PAD* attraverso la linea di ingresso all'*I/O Block* indicata come *O*. Sulle linee di ingresso del dispositivo sono configurabili dei resistori di *pull-up* o di *pull-down* di impedenza caratteristica 50- 100 k $\Omega$ . In uscita è configurabile invece un *buffer tri-state*, attivato dalla linea di controllo *T*, che consente di forzare il pin corrispondente in uno stato ad alta impedenza. E' inoltre possibile programmare tra 12 e 24 mA la massima corrente che ogni *I/O Block* è in grado di assorbire. Questo consente ai dispositivi di pilotare direttamente in uscita le linee di bus dei circuiti stampati senza la necessità di *buffer* esterni.

Nell'architettura dei dispositivi *FPGA*, le *CLB* sono connesse tra loro e con il perimetro di *IOB* da interconnessioni programmabili che sono

costituite di segmenti metallici. In figura A.1.4 è mostrata la struttura di interconnessioni associata ad ogni *CLB*. A seconda della lunghezza delle connessioni si distinguono:

- linee *single length*;
- linee *double length*;
- *pad lines*;
- *long lines*.

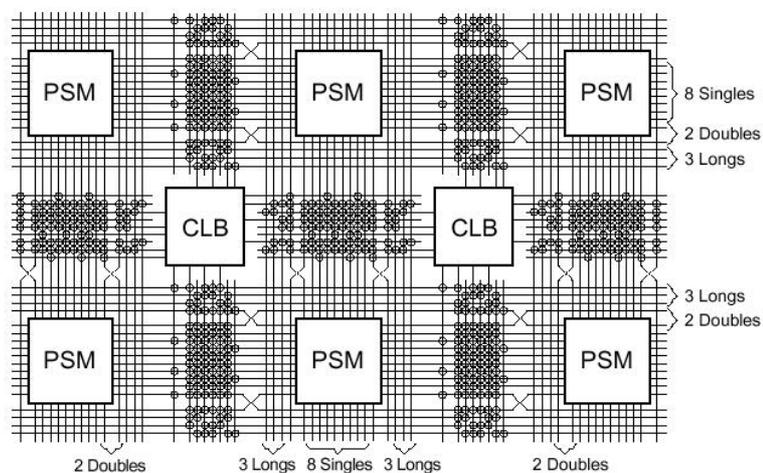


Figura A.1.4 Il diagramma a blocchi delle interconnessioni nella *FPGA*

Le linee *single length*, ad esempio, consentono di connettere due *CLB* direttamente in direzione orizzontale o verticale. Le *long lines* invece percorrono l'intera matrice di *CLB*. Le linee si intersecano in matrici *PSM* (*Pass-switch matrix*), come mostrato in figura A.1.5. Queste consistono di sei transistor e sono configurabili in modo da realizzare le connessioni desiderate. Inoltre i dispositivi *FPGA* presentano dei *buffer* per la distribuzione dei segnali critici, come il segnale di clock, all'interno del dispositivo.

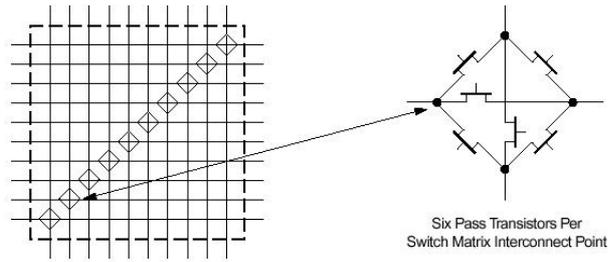


Figura A.1.5 Il diagramma a blocchi di una *PSM*

