

Tecniche Automatiche di Acquisizione Dati

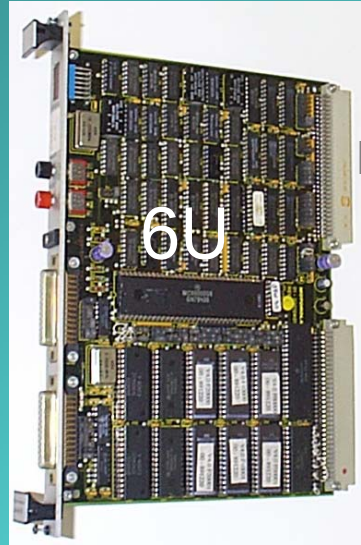
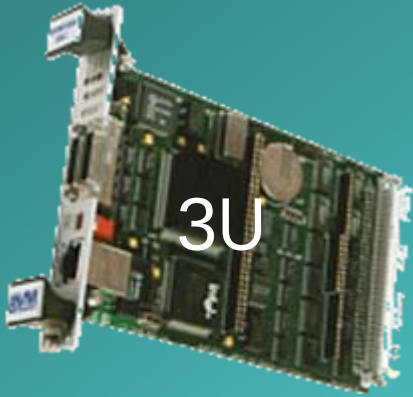
VME e PCI

Il VME

- Il Versa Module Europe nasce da un consorzio industriale: Motorola, Signetics/Philips, Mostek
- Deriva dal VERSAbus della Motorola da usare sulle CPU della serie 68000
- “Euromechanics” & “DIN” connectors
- formati 3U (100 x 160mm) e 6U (233.35 x 160mm)
- È un bus asincrono non multiplexato inteso per la comunicazione fra schede.

VME La meccanica

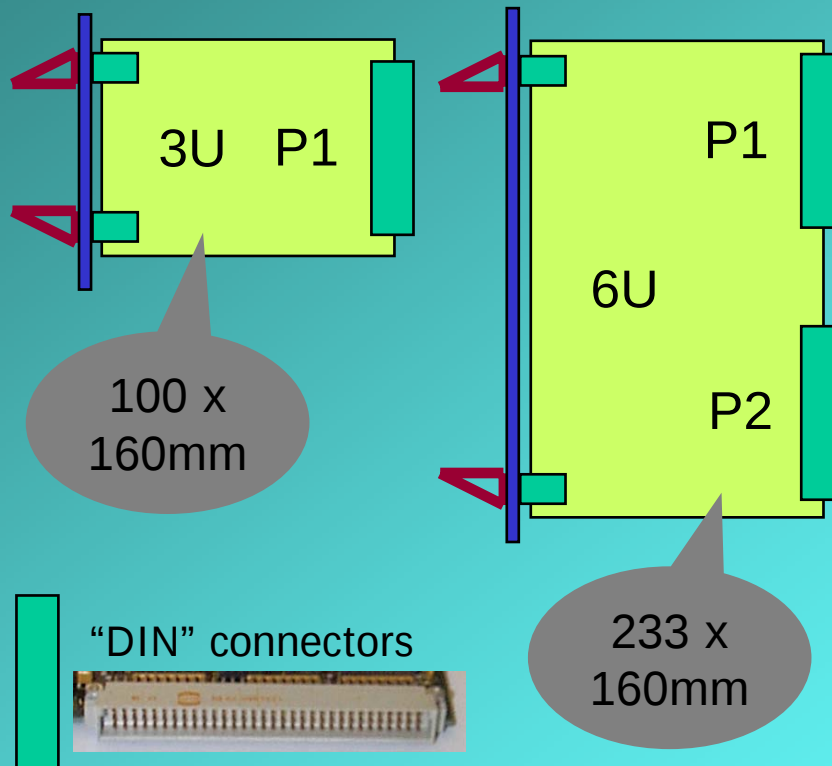
- Formati 3U (100 x 160mm) e 6U (233.35 x 160mm) “Euromechanics” & connettori “DIN”



- fino a 21 alloggiamenti per schede (slot) possono entrare in un singolo backplane TTL



Terminologia dei connettori



Caratteristiche del VME

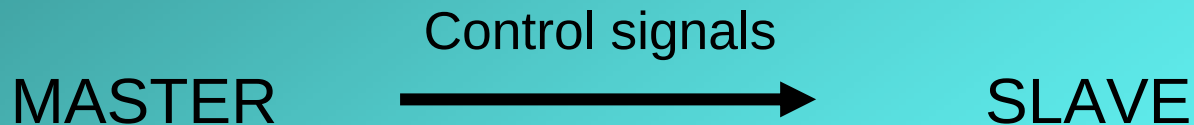
- Architettura Master-Slave



- Siccome molti master possono accedere al bus, è un bus per MULTIPROCESSING
- Può avere da 1 a 21 Masters

Caratteristiche del VME

- Bus asincrono – non c'è alcun clock centralizzato per la sincronizzazione (usa protocollo di handshaking)



- Vantaggi?

Caratteristiche del VME

- 1 o 2 Connettori a 96 pin su 3 colonne
- 64 pin a disposizione
- Alimentazioni a 5 e 12V
- 4 livelli di arbitraggio
- 7 livelli di interrupt
- Indirizzamento e dimensione di dati variabile
- Clock di sistema a 10MHz

PIN NUMBER	ROW A SIGNAL MNEMONIC	ROW B SIGNAL MNEMONIC	ROW C SIGNAL MNEMONIC
1	D00	BBSY*	D08
2	D01	BCLR*	D09
3	D02	ACFAIL*	D10
4	D03	BC0LN*	D11
5	D04	BG0OUT*	D12
6	D05	BG1LN*	D13
7	D06	BG1OUT*	D14
8	D07	BG2LN*	D15
9	GND	BG2OUT*	GND
10	SYSCLK	BG3LN*	SYSFAIL*
11	GND	BG3OUT*	BERR*
12	DS1*	BR0*	SYSRESET*
13	DS0*	BR1*	LWORD*
14	WRITE*	BR2*	AM5
15	GND	BR3*	A23
16	DTACK*	AM0	A22
17	GND	AM1	A21
18	AS*	AM2	A20
19	GND	AM3	A19
20	IACK*	GND	A18
21	IACKLN*	SERCLK (1)	A17
22	IACKOUT*	SERDAT*(1)	A16
23	AM4	GND	A15
24	A07	IRQ7*	A14
25	A06	IRQ6*	A13
26	A05	IRQ5*	A12
27	A04	IRQ4*	A11
28	A03	IRQ3*	A10
29	A02	IRQ2*	A09
30	A01	IRQ1*	A08
31	-12V	+5V STDBY	+12V
32	+5V	+5V	+5V

PIN NUMBER	ROW A SIGNAL MNEMONIC	ROW B SIGNAL MNEMONIC	ROW C SIGNAL MNEMONIC
1	USER I/O	+5 Volts	USER I/O
2	USER I/O	GND	USER I/O
3	USER I/O	RESERVED	USER I/O
4	USER I/O	A24	USER I/O
5	USER I/O	A25	USER I/O
6	USER I/O	A26	USER I/O
7	USER I/O	A27	USER I/O
8	USER I/O	A28	USER I/O
9	USER I/O	A29	USER I/O
10	USER I/O	A30	USER I/O
11	USER I/O	A31	USER I/O
12	USER I/O	GND	USER I/O
13	USER I/O	+5 Volts	USER I/O
14	USER I/O	D16	USER I/O
15	USER I/O	D17	USER I/O
16	USER I/O	D18	USER I/O
17	USER I/O	D19	USER I/O
18	USER I/O	D20	USER I/O
19	USER I/O	D21	USER I/O
20	USER I/O	D22	USER I/O
21	USER I/O	D23	USER I/O
22	USER I/O	GND	USER I/O
23	USER I/O	D24	USER I/O
24	USER I/O	D25	USER I/O
25	USER I/O	D26	USER I/O
26	USER I/O	D27	USER I/O
27	USER I/O	D28	USER I/O
28	USER I/O	D29	USER I/O
29	USER I/O	D30	USER I/O
30	USER I/O	D31	USER I/O
31	USER I/O	GND	USER I/O
32	USER I/O	+5 Volts	USER I/O

3.1: Assegnamento dei PIN per il connettore P1 a 3.2: Assegnamento dei PIN per il connettore P2

Indirizzamento nel VME

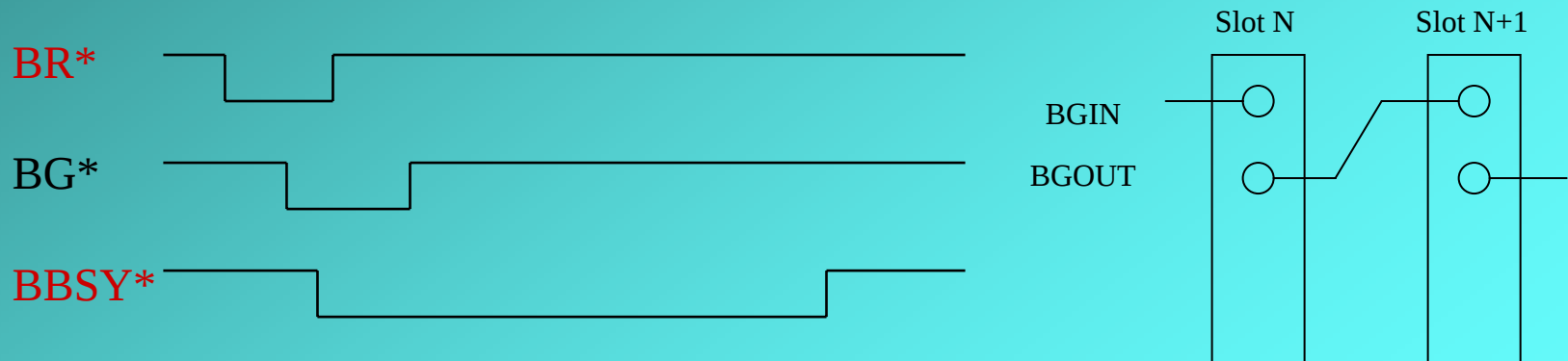
- I campi d'indirizzamento possono utilizzare 16-bit (short), 24-bit (standard) e 32-bit (extended), con possibilità di passare dall'uno all'altro dinamicamente
- I vari spazi di indirizzamento si distinguono in base ad un *address modifier* che viene comunicato tramite 6 linee del bus AM0-AM5
- Non c'è distinzione tra spazio di memoria e di I/O

A.M. (hex)	IACK*	Address bits	Tipo di trasferimento
3F	1	24	Standard supervisory block transfer
3E	1	24	Standard supervisory program access
3D	1	24	Standard supervisory data access
3B	1	24	Standard non-privileged block transfer
3A	1	24	Standard non-privileged program access
39	1	24	Standard non-privileged data access
2D	1	16	Short supervisory access
29	1	16	Short non-privileged access
10-1F	1	—	Definibili dall'utente
0F	1	32	Extendend supervisory block transfer
0E	1	32	Extendend supervisory program access
0D	1	32	Extendend supervisory data access
0B	1	32	Extendend non-privileged block transfer
0A	1	32	Extendend non-privileged program access
09	1	32	Extendend non-privileged data access
XX	0	3	Interrupt acknowledge cycle

Tabella 3.3: Codici degli AddressModifier

VME - Arbitraggio del bus

- Prima che un master possa trasferire dati, deve richiedere il bus. Questo viene fatto asserendo una di quattro linee di richiesta bus.
 - Le linee (BR0, BR1, BR2 and BR3) possono essere usate per prioritizzare richieste in sistemi multi-master
- L'arbitro, in slot 1, controlla se il bus è occupato tramite la line BBSY. Una volta libero, asserisce una delle 4 linee BGOUT
- Se il master riconosce un 1 nella linea BGIN corrispondente al suo BR, asserisce BBSY, altrimenti lo passa a BGOUT per chiudere la catena.



VME - Arbitraggio del bus

- Gli arbitri possono usare diversi schemi di arbitraggio:
 - PRI: basato sulla priorità
 - RRS: Round robin
- Se due master usano la stessa linea di richiesta, quello più vicino alla slot 1 ha la priorità, perché riceve per primo il BGIN
- Sistemi più moderni permettono un arbitraggio “fair”, cioè ritardano la richiesta se altri master richiedono il bus sullo stesso livello.

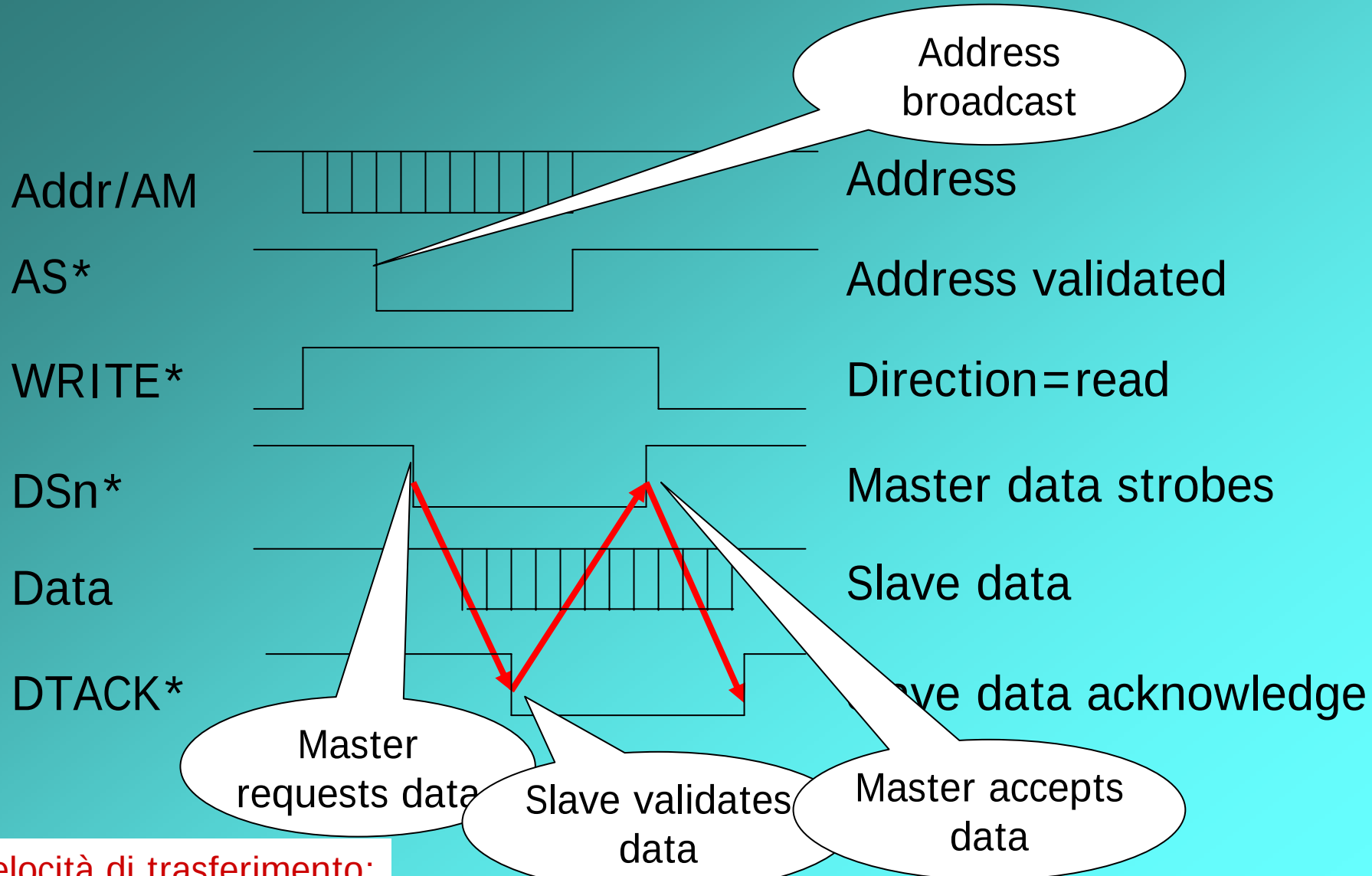
Trasferimento Dati

- Il trasferimento dati può essere a 8, 16, 24, o 32 bit, asincrono
- I cicli di trasferimento dati possono essere
 - single cycle: l'indirizzo viene inviato assieme ad ogni trasferimento dati
 - Block transfer: un solo indirizzo è inviato per un trasferimento dati multiplo
- Considerato che AS^* deve rimanere asserito 40 ns per ciascun ciclo e almeno 40 ns fra due cicli, tenuto conto dei ritardi, due cicli di scrittura distano $\sim 100\text{ns} \Rightarrow \text{rate} \sim 10\text{MHz}$: 4 byte a 10 MHz danno una data rate teorica di 40MBps.

Trasferimento dati – ciclo di lettura

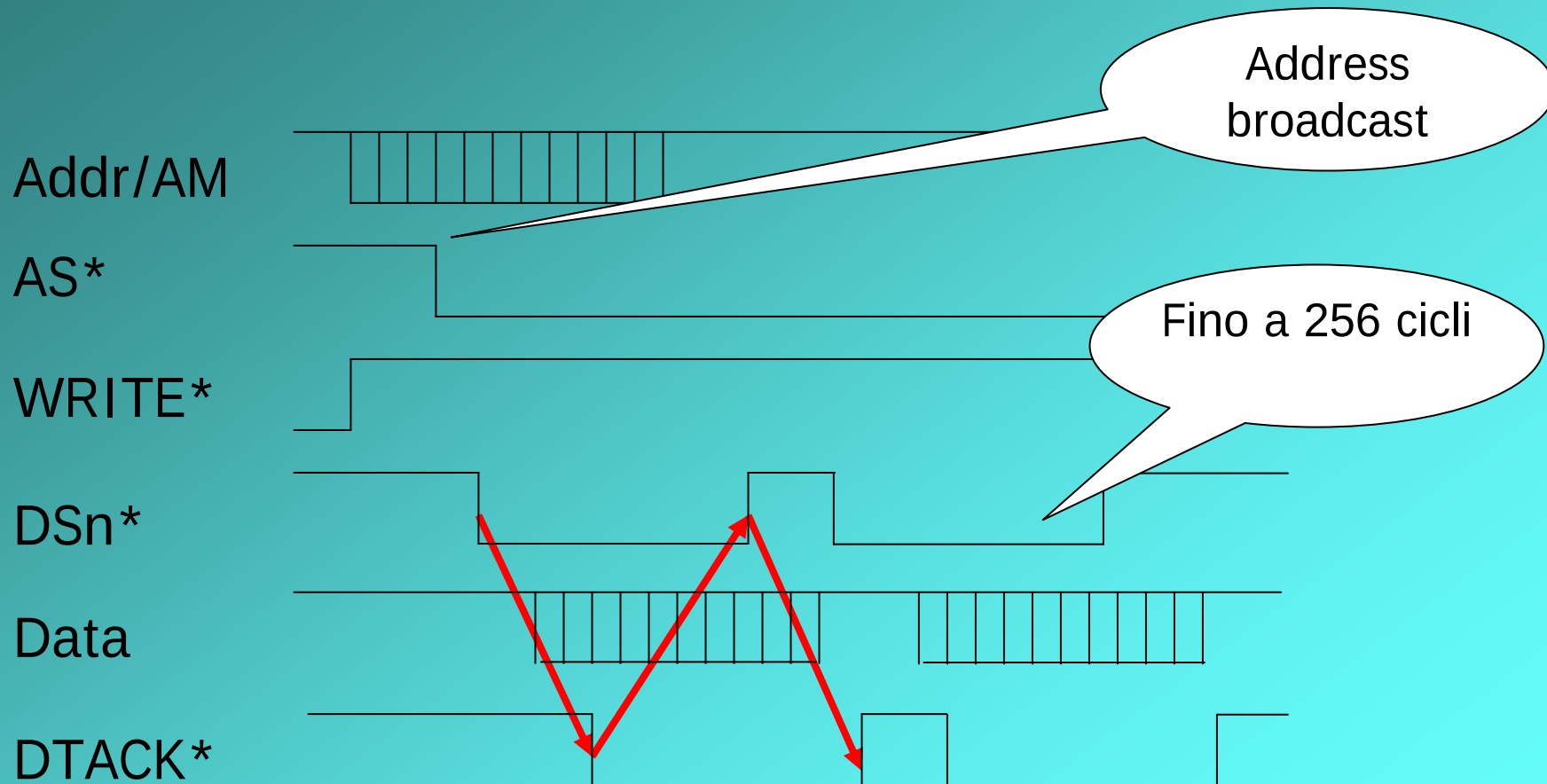
1. Il master, mediante le linee AM0-AM5, A01-A032, LWORD ed IACK*, indirizza la periferica e nega la linea WRITE* poiché si tratta di una lettura.
2. Di seguito, sempre il master, convalida le linee indirizzi con la transizione verso il livello basso della linea AS. Sono inoltre attivate basse le linee DSA e DSB.
3. Lo slave decodifica l'indirizzo, e avendo già le informazioni necessarie, scrive sul bus il dato richiesto. Alla fine convalida il tutto asserendo la linea DTACK*.
4. Il master legge i dati registrandoli nel proprio buffer, e alla fine di questa operazione attiva le linee DSA e DSB.
5. Lo slave a questo punto, sicuro che il ciclo di lettura è finito correttamente, rilascia le linee dei dati e nega la linea DTACK*. Utilizzando la tecnica dello “address pipelining” in quest'istante di tempo, già è presente sulle linee A01-A032 il nuovo indirizzo (supposto che ci sia un altro ciclo di lettura).

Trasferimento dati – ciclo di lettura



Velocità di trasferimento:
4MByte/s

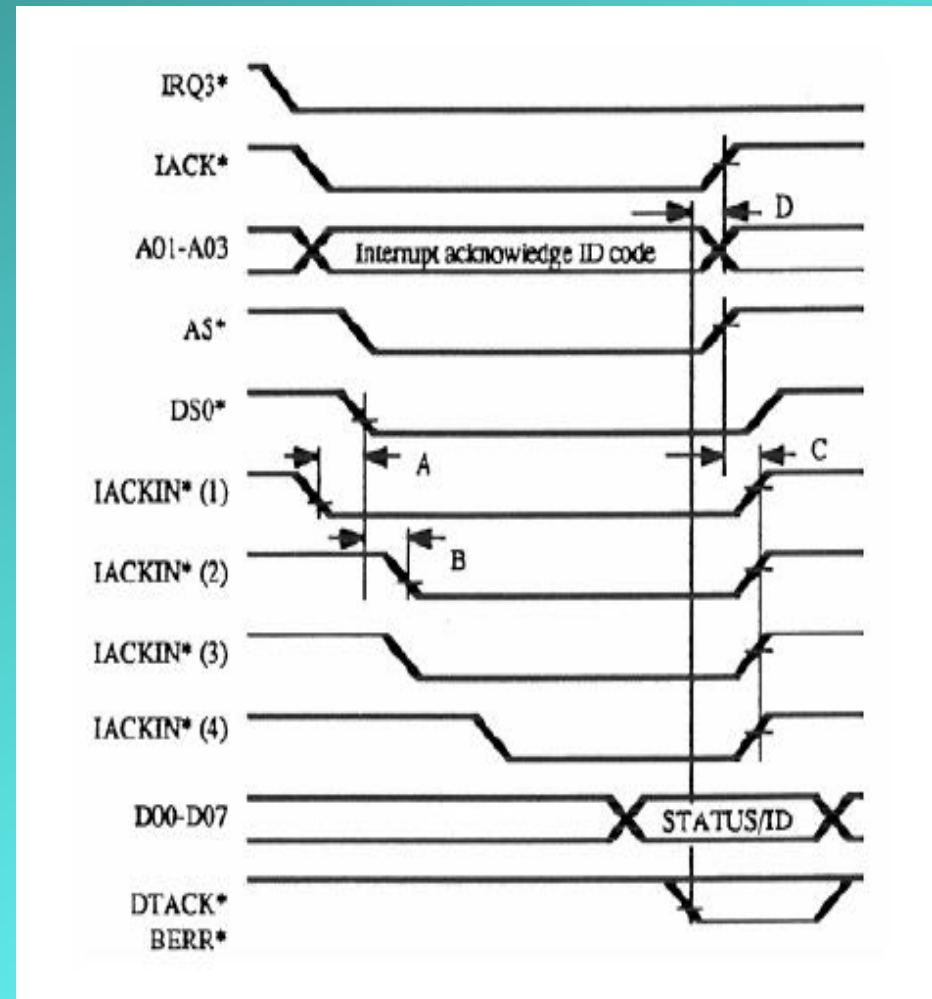
Trasferimento Dati - BLT (Read)



Velocità di trasferimento: 40 (D32)-80(D64)MByte/s
(Address broadcast = one for 256 data bytes)

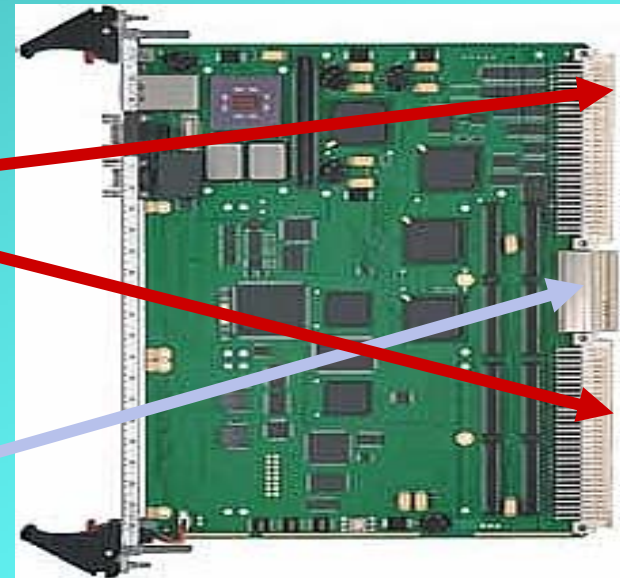
Meccanismo interrupt

- Il modulo di gestione (interrupt handler) tiene sotto osservazione le linee di richiesta (IRQX*) e, quando rileva una linea attivata, chiede il controllo del bus. Dopo averlo ottenuto, in risposta al segnale, genera un interrupt acknowledge cycle.
- Quando il modulo che ha richiesto l'interrupt riceve dal modulo che lo precede lungo il bus il segnale IACKIN*, presenta sulle linee dati il vettore STATUS/ID e termina il ciclo asserendo bassa la linea DTACK*.
- Il “vettore” STATUS/ID è un numero che permette di riconoscere quale routine di servizio attivare in presenza di più unità sullo stesso livello di interruzione.



VME64x

- 64 bit di indirizzamento e dati per le schede 6U; 32 di dati e 40 di indirizzi per le 3U
- Raddoppio della larghezza di banda (80 Mbytes/s)
- Riconoscimento della slot 1
- Nuovi connettori a 160 pin su 5 colonne
- Nuovo connettore J0/P0 aggiunto
- Indirizzamento geografico
- Pin di alimentazione per la 3.3V
- Capacità di inserimento Hot Swap
- Plugin sul retro del backplane
- 141 pin definibili dall'utente



VME64x pin aggiunti

Ind. geografico

Live insertion

Non ci sono pin aggiuntivi di indirizzamento o di dati: le modalità a 64 bit si ottengono usando entrambi i bus indirizzi e dati sia in fase di indirizzamento sia in fase di trasferimento dati

Position No.	P1/ J1		P2/ J2	
	Row z	Row d	Row z	Row d
1	MPR	VPC (1)	UD	UD (1)
2	GND	GND (1)	GND	UD (1)
3	MCLK	+V1	UD	UD
4	GND	+V2	GND	UD
5	MSD	RsvU	UD	UD
6	GND	-V1	GND	UD
7	MMD	-V2	UD	UD
8	GND	RsvU	GND	UD
9	MCTL	GAP*	UD	UD
10	GND	GA0*	GND	UD
11	RESP*	GA1*	UD	UD
12	GND	+3.3V	GND	UD
13	RsvBus	GA2*	UD	UD
14	GND	+3.3V	GND	UD
15	RsvBus	GA3*	UD	UD
16	GND	+3.3V	GND	UD
17	RsvBus	GA4*	UD	UD
18	GND	+3.3V	GND	UD
19	RsvBus	RsvBus	UD	UD
20	GND	+3.3V	GND	UD
21	RsvBus	RsvBus	UD	UD
22	GND	+3.3V	GND	UD
23	RsvBus	RsvBus	UD	UD
24	GND	+3.3V	GND	UD
25	RsvBus	RsvBus	UD	UD
26	GND	+3.3V	GND	UD
27	RsvBus	LI/I*	UD	UD
28	GND	+3.3V	GND	UD
29	RsvBus	LI/O*	UD	UD
30	GND	+3.3V	GND	UD
31	RsvBus	GND (1)	UD	GND (1)
32	GND	VPC (1)	GND	VPC (1)

Note: (1) These pins are MFBL (mate-first-break-last) pins

3 + 2 rows connector

2eVME

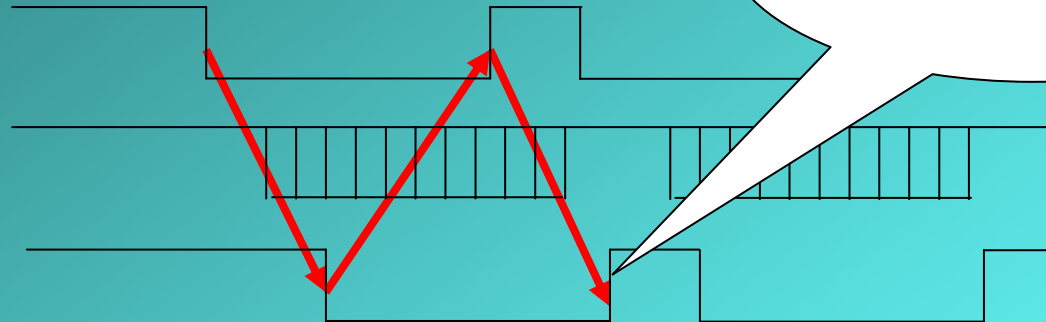
- Block Transfer Read cycle:

- VME64x:

DSn*

Data

DTACK*



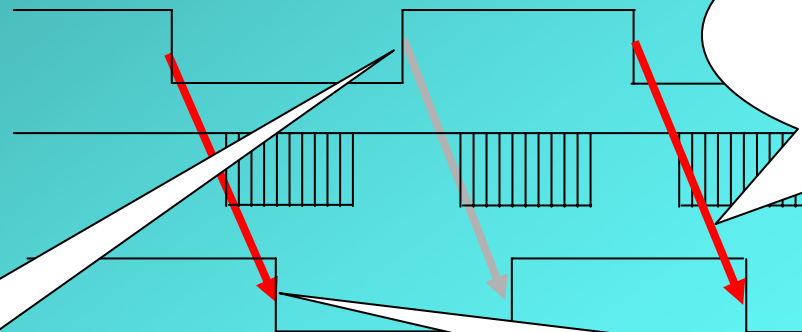
1 data transfer = 4
fronti = 80MByte/s

2eVME (2 edge VME):

DSn*

Data

DTACK*



1 data transfer = 2
fronti = 160MByte/s

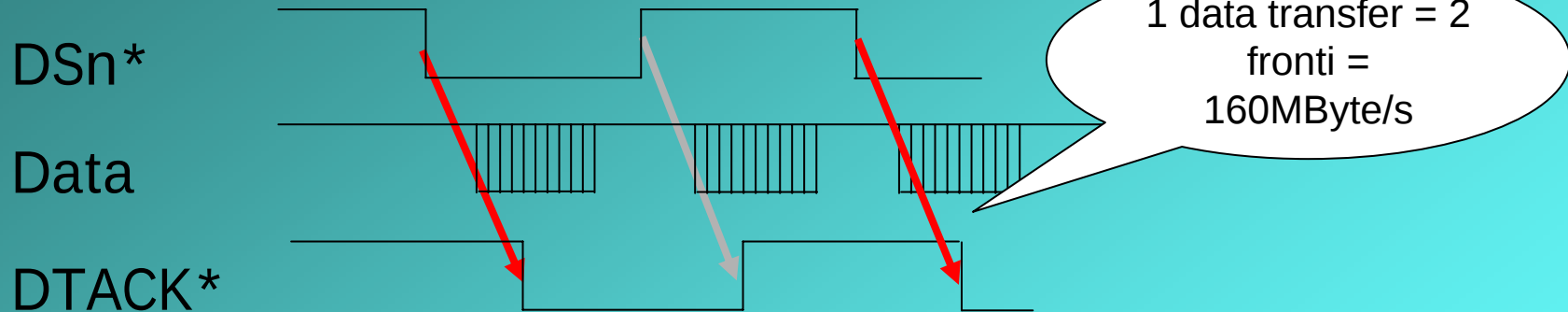
Nuova richiesta

Il master accetta i
dati sul DTACK

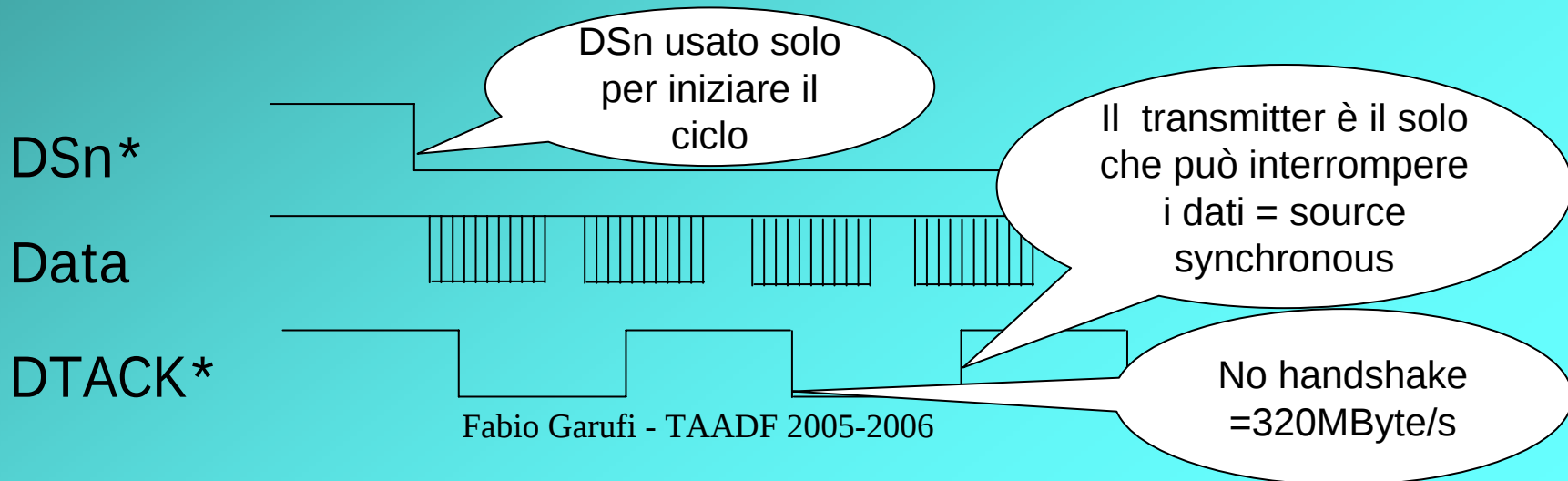
2eSST

- Block Transfer Read cycle:

- 2eVME:



- 2eSST (2 edge Source Synchronous Transfer):

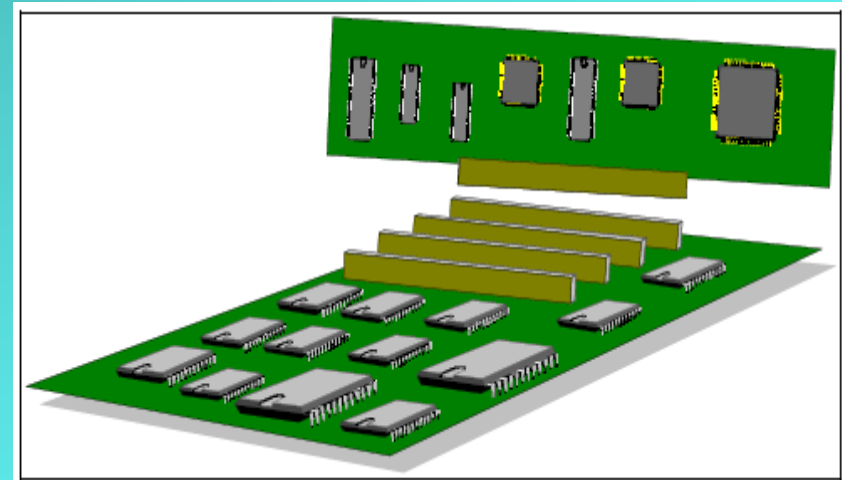
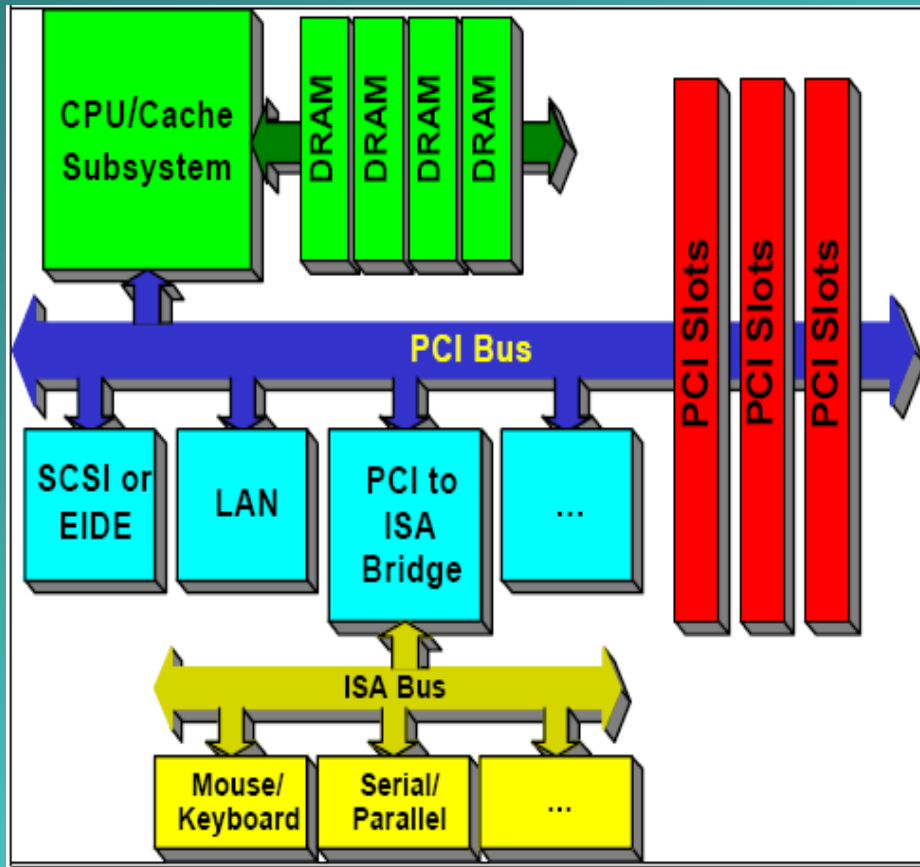


II PCI

PCI basic

- Il Peripheral Computer Interconnect (PCI) è un bus dati nato sulle spoglie del bus ISA nei personal computer nei primi anni 90.
- Serve a connettere le periferiche di un PC con il minimo dispendio di potenza e la massima velocità
- Per minimizzare la potenza necessaria si basa sulla riflessione del segnale al termine del bus per aumentarne l'ampiezza (linea aperta)
- È un bus sincrono relativamente ad un clock di sistema che inizialmente era di 33 MHz successivamente di 66 MHz.
- Implementa un bus a 32 o 64 bit con indirizzi e dati multiplexati sullo stesso bus (AD[31:0] nella versione a 32 bit)
- In un bus PCI c'è un singolo master del bus l'initiator e molti slave (target).
- Ogni unità sul bus è un carico elettrico; il chip che regola il bus conta per un carico, i connettori in cui inserire le schede contano per un carico, il massimo numero di carichi sul bus prima che il segnale si degradi è 10. Pertanto il massimo numero di unità sul bus oltre al master è 4.

Architettura di una piattaforma PCI

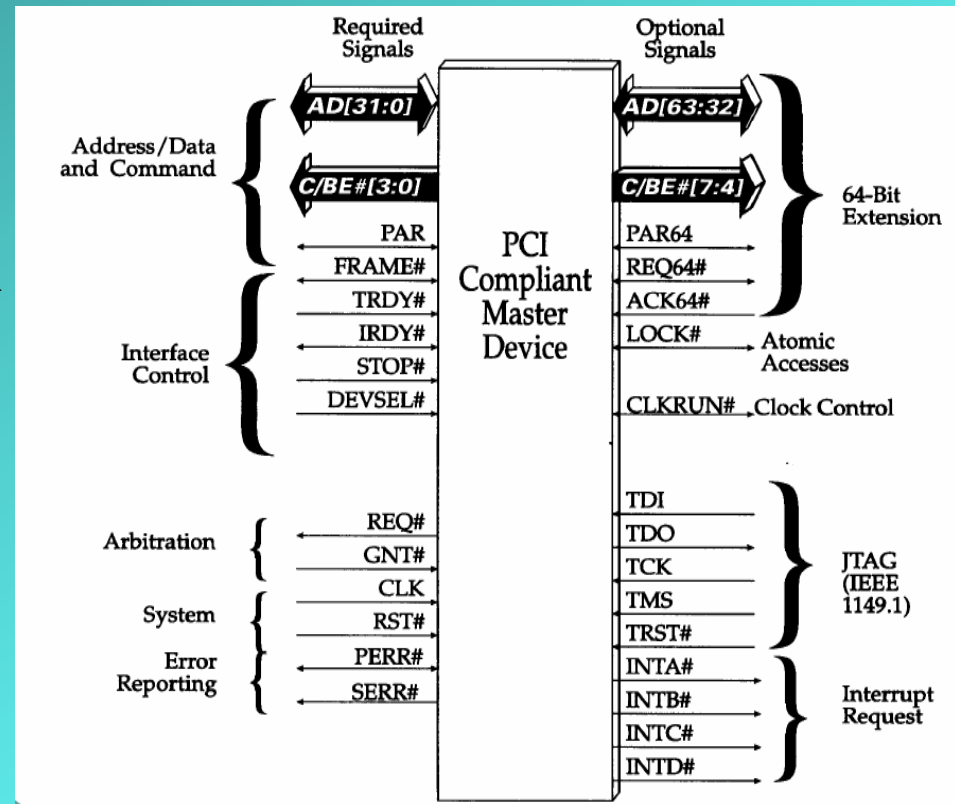


PCI – Trasferimento dati

- Le stesse linee vengono usate prima per gli indirizzi e poi per i dati
- 3 possibili modi di indirizzamento:
 - Memory mapped
 - I/O
 - Configurazione
- Nella modalità a 64 bit i cicli di indirizzamento sono 2 a 32 bit mentre i dati usano l'intera ampiezza del bus.

PCI – Linee e segnali

- CLK: clock a 33 o 66 MHz
- FRAME#: segnala la durata di una comunicazione (in numero di dati da trasferire)
- AD: 32 (64) linee di indirizzo e dati
- C/BE: 4 (8) linee di comando o abilitazione dei singoli byte dati
- IRDY#, TRDY#: Initiator, Target Ready
- DEVSEL#: ACK del dispositivo selezionato come target
- IDSEL#: selezione del dispositivo da inizializzare
- #: identifica un segnale attivo basso

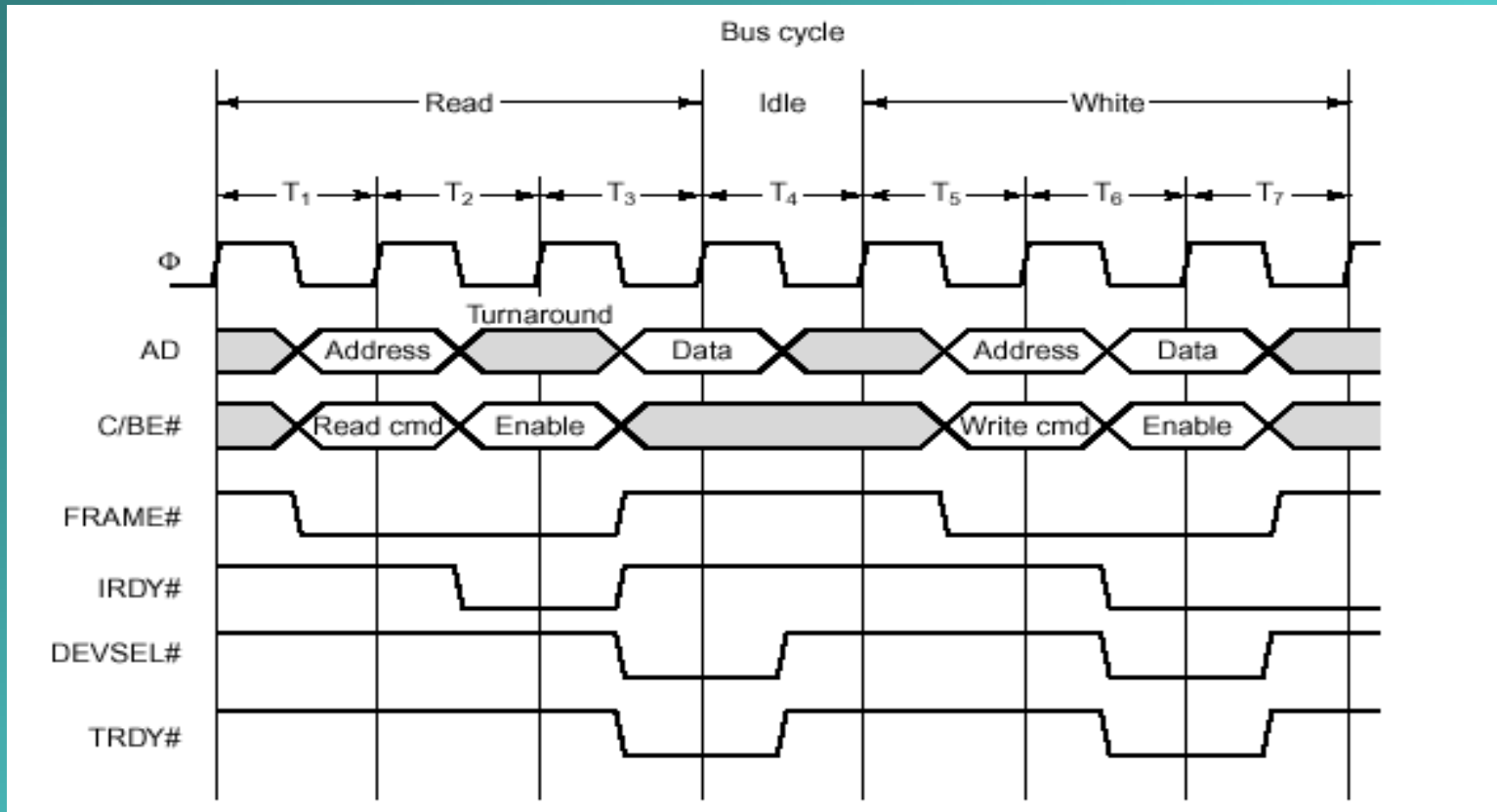


PCI - Comandi

- C/BE[3:0]# Comandi *Bus e Byte Enables* sono multiplexati su questi pin. Durante la fase di indirizzamento di una transazione trasmettono i segnali di comando del bus che definiscono il tipo di trasferimento da effettuare.
- Durante la fase dati della transazione segnalano l'abilitazione del byte:
 - C/BE[3]# è il byte enable per il MSB (AD[31:24])
 - C/BE[0]# è il byte enable per il LSB (AD[7:0]).
- I segnali C/BE[3:0]# sono attuati solo dall'initiator.

C/BE[3:0]#	Command Types
0000	Interrupt Acknowledge
0001	Special Cycle
0010	I/O Read
0011	I/O Write
0100	Reserved
0101	Reserved
0110	Memory Read
0111	Memory Write
1000	Reserved
1001	Reserved
1010	Configuration Read
1011	Configuration Write
1100	Memory Read Multiple
1101	Dual Address Cycle
1110	Memory Read Line
1111	Memory Write and Invalidate

Transazione PCI Read

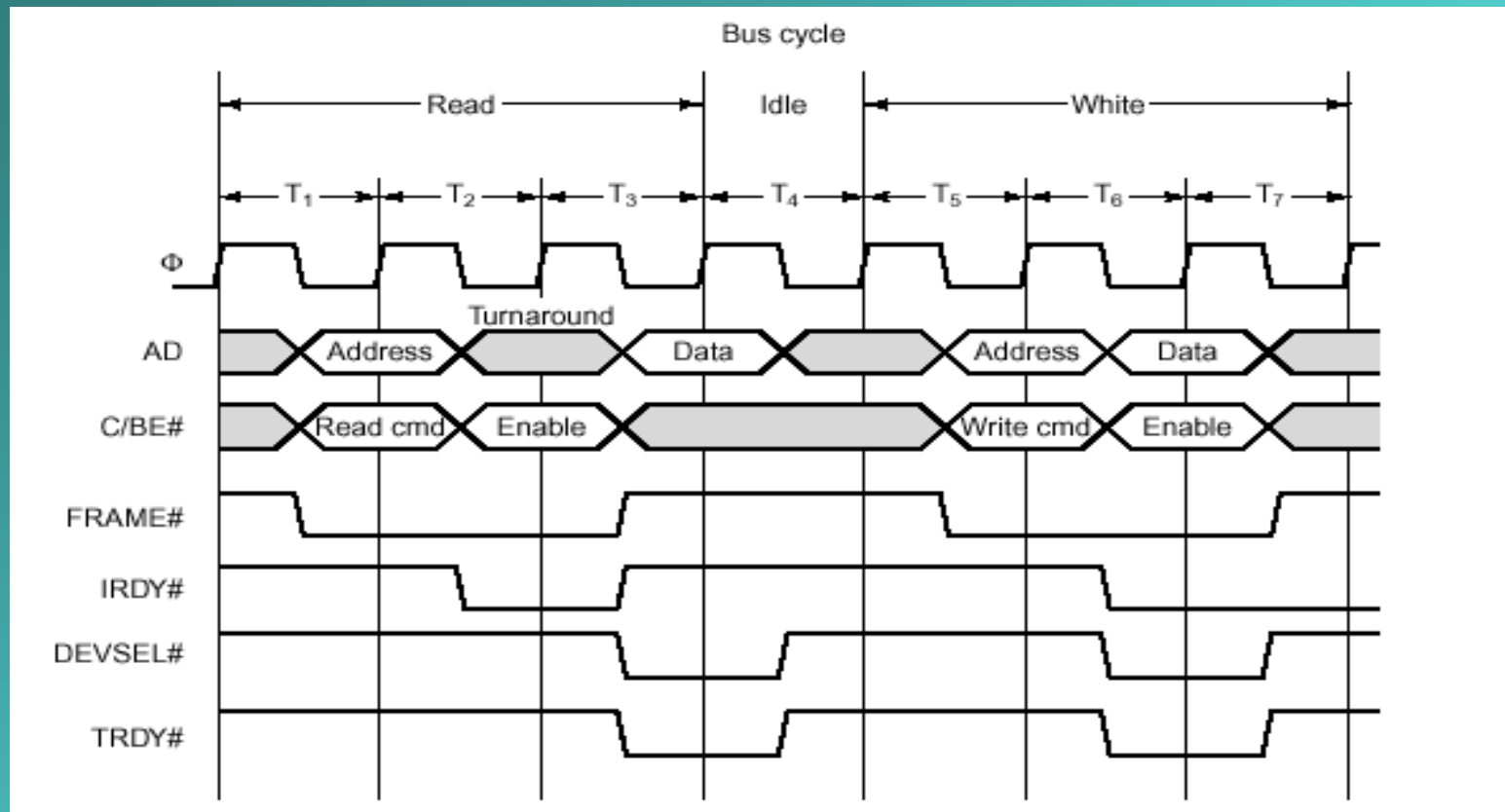


T₁: Master mette address su AD, comando su C/BE# e attiva con FRAME#

T₂: Master cambia C/BE# per indicare byte abilitati

T₃: Slave attiva DEVSEL#, mette dato su AD e manda TRDY#

Transazione PCI Write



T₅: Master mette address su AD, comando su C/BE# e attiva con FRAME#

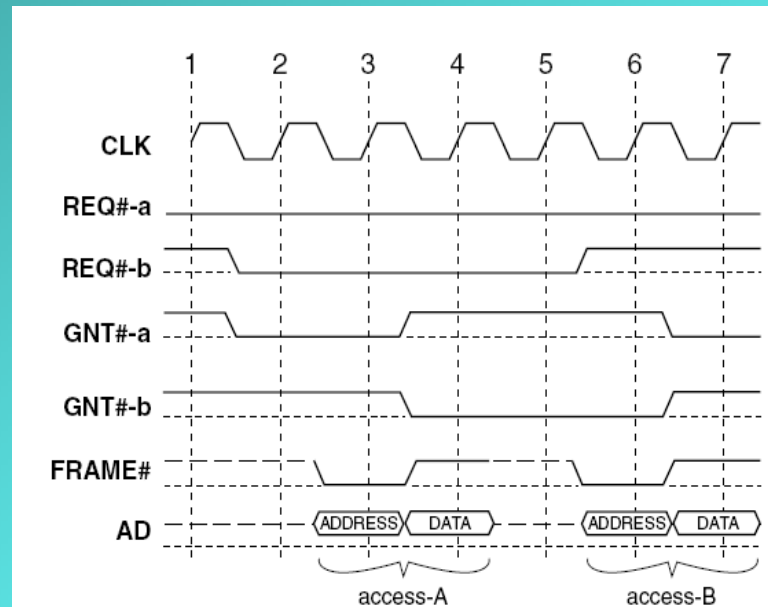
T₆: Master cambia C/BE# per indicare byte abilitati, mette dati su AD.

Slave attiva DEVSEL#

T₇: Slave pronto, manda TRDY#

Arbitraggio

- Prima che un master acceda al bus deve farne richiesta e ottenere il permesso. Per questo ci sono le linee di REQ# e GNT#
- Esempio con due agenti:
 1. L'arbitro rileva che A e nessun altro ha asserito REQ#-a, allora asserisce GNT#-a. Nel frattempo B asserisce REQ#-b
 2. A rileva il GNT#-a e il bus libero quindi asserisce FRAME# (clk 3) per cominciare la transazione. A mantiene REQ#-a asserito per indicare che vuole effettuare un'altra transazione dopo
 3. L'arbitro stabilisce che il successivo deve essere B, deasserisce GNT#-a e asserisce GBT#-b (clk 4)
 4. Quando A finisce la transazione rilascia il bus e tutti gli agenti lo sanno perchè FRAME# e IRDY# sono deasseriti, B può cominciare la transazione

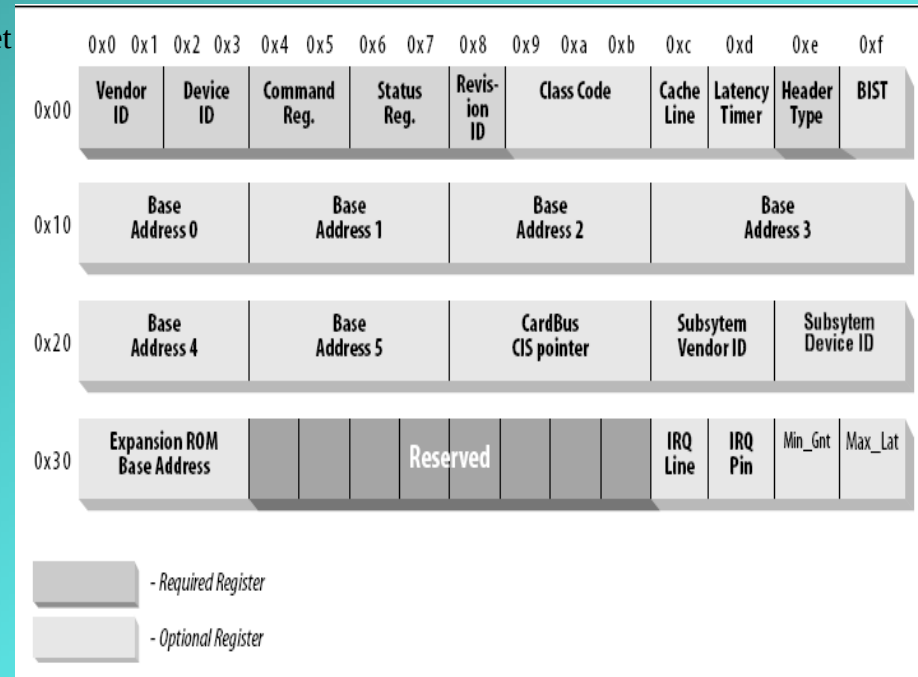


Spazio di indirizzamento PCI

- Le periferiche PCI hanno la loro memoria che può essere acceduta dalla CPU.
- Il PCI ha tre tipi di spazio di indirizzamento:
 - Configurazione
 - Memoria
 - I/O
- Lo spazio di configurazione è utilizzato dal sistema operativo per inizializzare la periferica
- Gli spazi di memoria ed I/O sono accessibili come memoria e I/O della CPU.

Configurazione PCI

- Ogni dispositivo PCI ha una struttura dati ben determinata nello spazio di configurazione.
- **Vendor Identification**
 - Un identificativo unico del costruttore: per es. Intel 0x8086.
- **Device Identification**
 - Un identificativo unico del device: per es 0x1004 GB Ethernet 82543GC
- **Status**
 - Dà lo stato del device. Alcuni bit vengono cancellati quando letti.
- **Command**
 - Scrivendo su questo registro si comanda il dispositivo (vedi dopo)
- **Class Code**
 - Identifica il tipo di dispositivo. Ci sono classi standard per ogni sorta di device; video, scsi ecc...
- **Base Address Registers (BAR<x>)**
 - Usati per determinare il tipo la dimensione e la locazione dello spazio di memoria e di I/O(vedi dopo)
- **Interrupt Pin**
 - Indica quale delle quattro linee di interrupt il dispositivo usa: le linee sono indicate come INTA (0x0), INTB (0x1), INTC (0x3) e INTD (0x4)
- **Interrupt Line**
 - Usata per passare un interrupt handle alle routine di interrupt handling del sistema operativo. Il numero scritto non ha significato ma permette all'interrupt handler di assegnare un interrupt alla corretta routine.



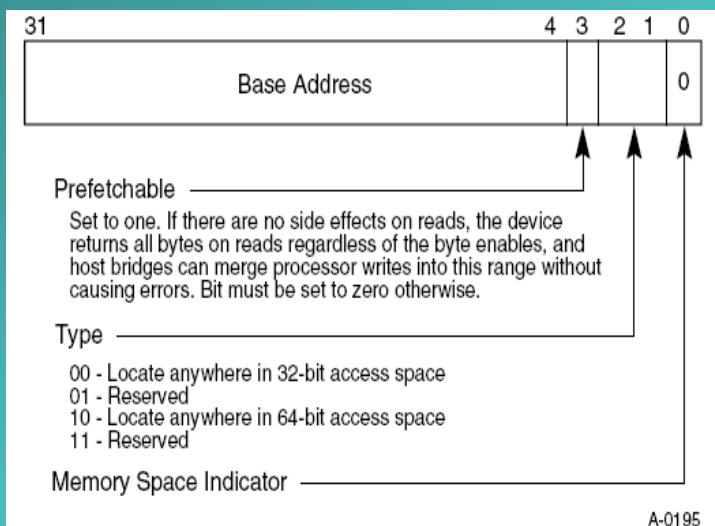
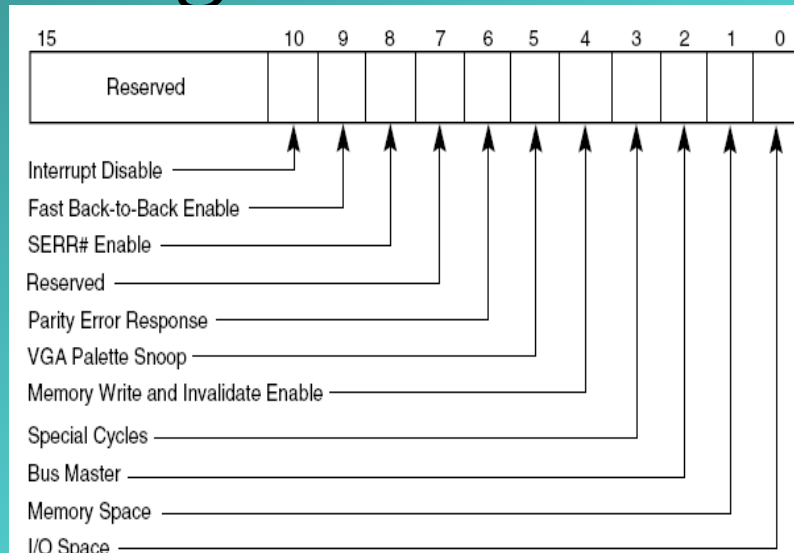
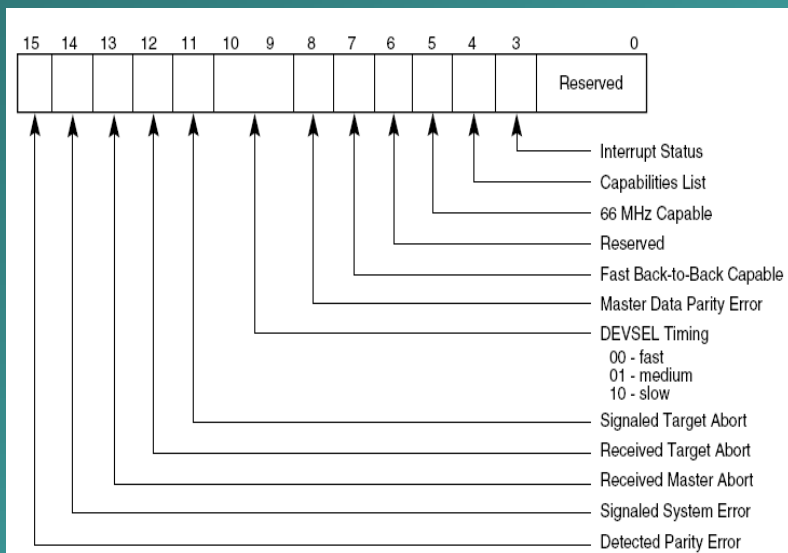


Figure 6-5: Base Address Register for Memory

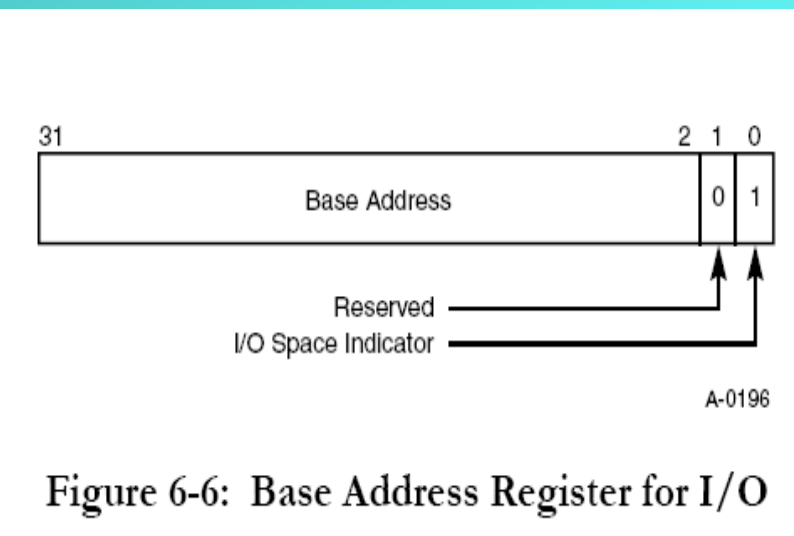


Figure 6-6: Base Address Register for I/O

Bit del registro di controllo

0. abilita (1) o disabilita (0) l'accesso allo spazio di I/O
1. abilita (1) o disabilita (0) l'accesso allo spazio di memoria
2. Abilita il dispositivo ad essere bus master. Al reset vale 0.
3. Se 0 rende il dispositivo insensibile ai cicli speciali.
4. Abilita il dispositivo, se master, a generare un comando di memory Write and Invalidate.
5. Relativo ai dispositivi VGA
6. Abilita (1) o disabilita (0) l'asserzione della linea PERR# al rilevamento di un errore di parità (rivelato nel bit 15 dello status register)
7. NULL
8. Tutti i dispositivi che hanno il pin SERR lo devono implementare
9. Abilita la possibilità di fast back-to-back transaction fra diversi agenti
10. Disabilita l'asserzione di INTx#

Configurazione PCI – un esempio

Scheda Thales computers Serial IO

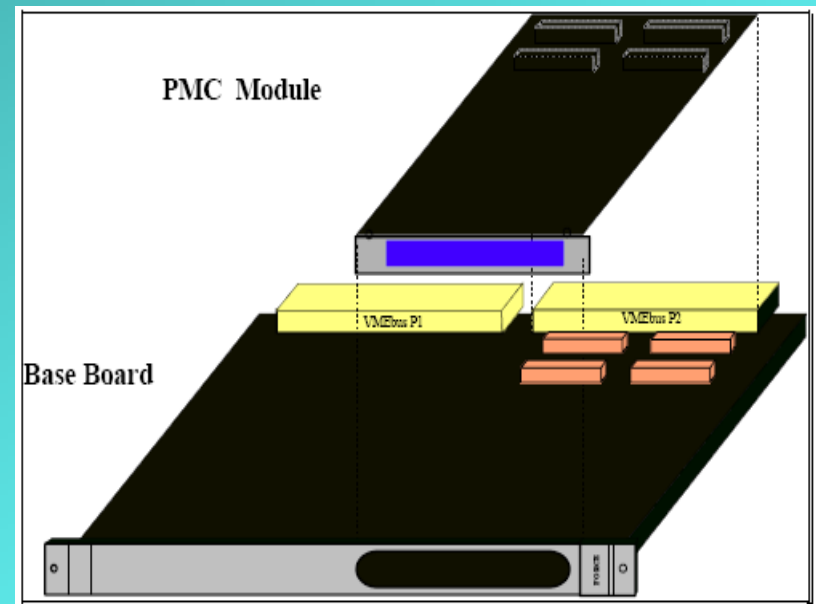
Offset	31 30	24	23	16	15	8	7	0
00	Device ID = 9030				Vendor ID = 10B5			
04	Status = 0290 (if no errors)				Command			
08	Class Code = 06800						Rev ID = 01	
0C	BIST = 00		Header Type = 00		PCI Latency Timer = 00		Cache Line Size=00	
10	PCIBAR0; used for Memory-Mapped Configuration Registers							
14	PCIBAR1; used for I/O-Mapped Configuration Registers							
18	PCIBAR2; used for Local Address Space 0							
1C	PCIBAR3; not used							
20	PCIBAR4; not used							
24	PCIBAR5; not used							
28	Cardbus CIS Pointer; not used							
2C	Subsystem ID = 0002				Subsystem Vendor ID = 184A			
30	PCI Base Address for Local Expansion ROM = 0000 0000							
34	Reserved						Next_Cap Pointer = 40	
38	Reserved							
3C	Max_Lat = 00		Min_Gnt = 00		Interrupt Pin = 01		Interrupt Line = 00	
40	Power Management Capabilities = 0000				Next_Cap Pointer = 00		Capability ID = 01	
44 – 50	Reserved; not supported by this board							

Quanta memoria ha il device?

- Per calcolare quanta memoria indirizza un device PCI bisogna:
 - Disabilitare l'I/O scrivendo 0 nel bit 0 del Command register
 - Salvare l'indirizzo contenuto nel BAR<x>
 - Scrivere 1 in tutti i bit del BAR<x> 0xFFFFFFFF
 - Leggere nuovamente il BAR<x>: es. 0xFFF00008
 - Mascherare i 4 bit meno significativi: 0x000FFFFF
 - Prendere il complemento a 1 e aggiungere 1:
0x00100000 = 1MB

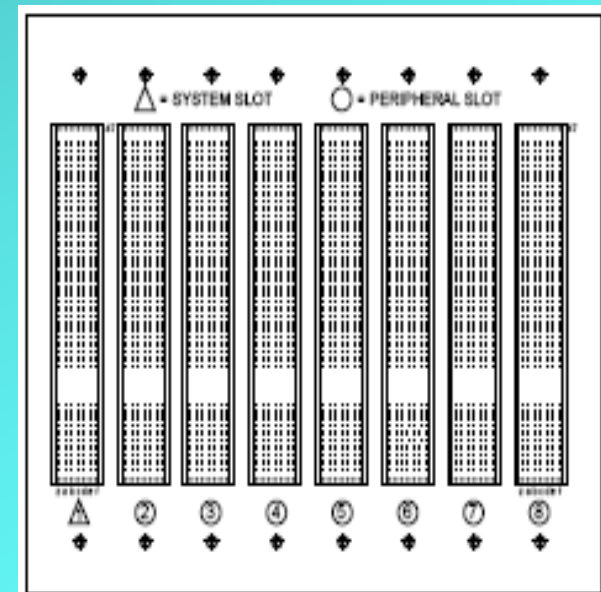
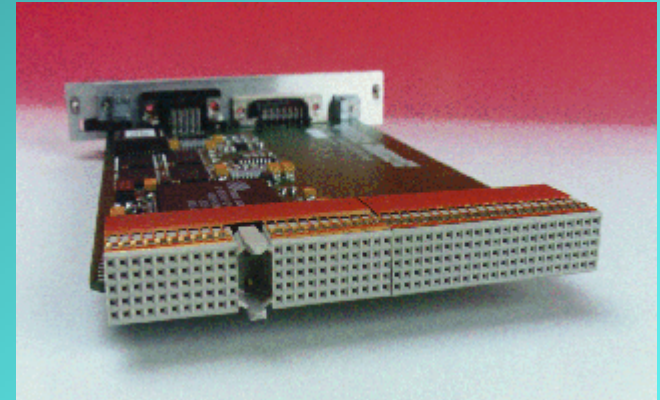
PMC

- Le schede PCI possono espandere le funzionalità di schede VME o schede su bus differenti mediante un fattore di forma standard: il PCI Mezzanine Card (IEEE P1386.1 PMC)



cPCI

- Le normali schede PCI non sono adatte per i sistemi industriali e embedded a causa del connettore a lama e delle particolari esigenze di raffreddamento.
- Il consorzio industriale PICMG (PCI Industrial Computer Manufacturers Group), ha pensato una architettura basata sul PCI ma con la meccanica simile a quella del VME: il compact PCI (cPCI)
- Si basa su schede Eurocard 3U e 6U con connettori a pin da 2 mm e può servire fino a 8 schede su un singolo bus (rispetto alle 4 del PCI)
- Ha una system slot e 7 “peripheral” slot. La system slot fornisce l’arbitraggio, la distribuzione del clock e le funzioni di reset ed è responsabile per l’inizializzazione del sistema.
- Consente l’inserzione di schede “a caldo” e indirizzamento e dati a 64 bit a 66 MHz



cPCI vs VME

PARAMETERS	VME	CPCI
Form Factor	6U 233mmX160mm	same
Air cooled	IEEE 1101.10	IEEE 1101.10
Conduction cooled	IEEE 1101.2	N/A
Bus width	8/16/32/64-bit	32 or 64bit
Addressing	Flexible add. modifiers	Fixed
Data types	Single cycle or burst	Burst optimized
Data rate- real/today	60MB/s	100MB/s
Data rate- theory future	320 - 520MB/s	264MB/s
Interrupts	7 levels- vectored	4 levels- polled
Multi-master	Yes, all slots	Master slot 1
# of slots	21	6-8 (bridge to extend)
I/O Pin count	205 (VME64x)	340

Table 1. CPCI and VMEbus Comparison