

POLITECNICO DI MILANO
CENTRO PER LO SVILUPPO DEL POLO DI CREMONA

Corso di Laurea Ingegneria INFORMATICA

LABORATORIO DI FONDAMENTI DI ELETTRONICA

2° Anno --- 1° Semestre

Esercitazione n° 3

Si consideri il **multivibratore astabile**, detto *oscillatore ad onda quadra*, che impiega l'operatore logico universale NAND, realizzato in tecnologia CMOS serie 4000, sia nella configurazione di figura A, sia nella struttura circuitale di figura B. Entrambe le realizzazioni impiegano il circuito integrato CD4011 BC.

Sapendo che:

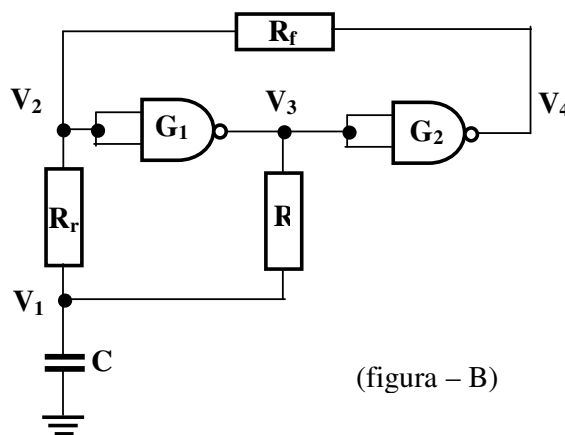
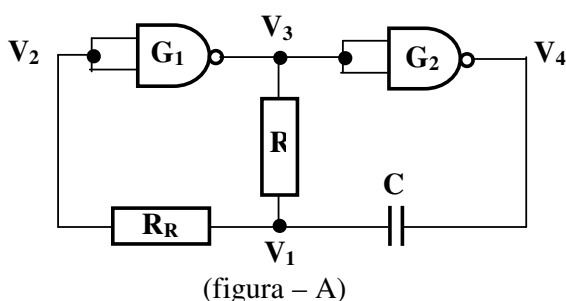
figura A): $V_{DD} = 12\text{ V}$, $f_0 = 2\text{ KHz}$;

figura B): $V_{DD} = 12\text{ V}$, $R_f = 100\text{ K}\Omega$, $R_r = 56\text{ K}\Omega$, $R = 10\text{ K}\Omega$, $C = 100\text{ nF}$,

si desidera:

- determinare analiticamente, progettare, dimensionare e verificare sperimentalmente, del circuito di figura A, il valore della **frequenza di oscillazione** $f_0 = 2\text{ KHz}$ del multivibratore astabile ;
- rilevare sperimentalmente, con lettura sull'oscilloscopio virtuale, il valore della **frequenza di oscillazione** f_0 del multivibratore astabile, relativamente alla realizzazione circuitale di figura B;
- l'andamento temporale delle grandezze caratteristiche $v_4(t)$, $v_3(t)$ e $V_1(t)$.

Si proceda, inoltre, alla verifica della congruenza dei dati ottenuti mediante la simulazione ottenuta col software applicativo PSPICE.



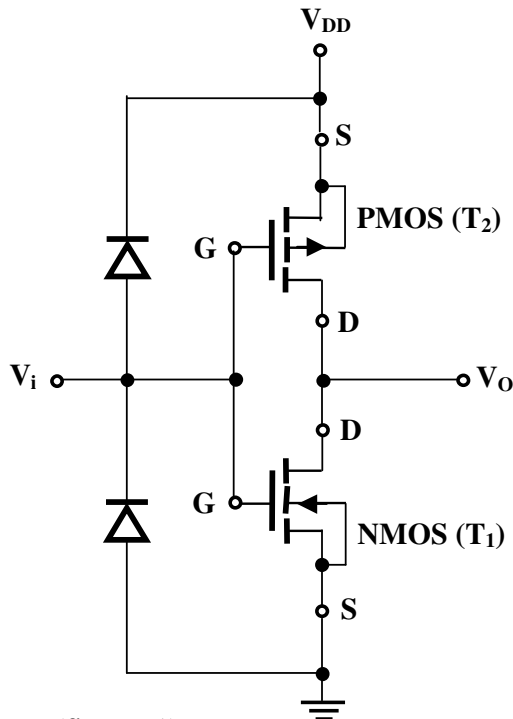
Numerazione potenziali ai nodi per il file .CIR per la simulazione con SPICE:

V1(40); V2(50); V3(10); V4(20); Terra(0)

1. MULTIVIBRATORI A PORTE LOGICHE

Le porte logiche **TTL** e **CMOS**, oltre al loro specifico utilizzo come **blocchi logici**, vengono anche impiegate per realizzare **dispositivi formatori d'onda**, in particolare **multivibratori** sia **astabili** sia **monostabili**. Mentre per le porte **TTL**, le realizzazioni sono di fatto limitate ai **generatori di clock**, le porte **CMOS**, grazie alle loro particolari caratteristiche elettriche, trovano utilizzo in una notevole varietà di **circuiti formatori**.

a) **La porta CMOS**: la struttura base delle porte CMOS è quella dell'**INVERTER** o **NOT** illustrata in figura 1. Un **NMOS** (T_1) ed un **PMOS** (T_2) **complementari**, ossia i più simili possibili sotto lo aspetto dei parametri elettrici, sono collegati in serie attraverso i terminali di **drain** e disposti fra l'alimentazione V_{DD} e la **massa**. L'**uscita della porta** è presa **sul drain**, mentre l'**ingresso** risulta



(figura -1)

costituito dai **due gate** collegati insieme. Due **diodi fissatori** posti sull'ingresso impediscono che la tensione V_i superi il valore $(V_{DD}+0,7)$ V o scenda al di sotto di $-0,7$ V, proteggendo i due **gate** da **sovratensioni accidentali**.

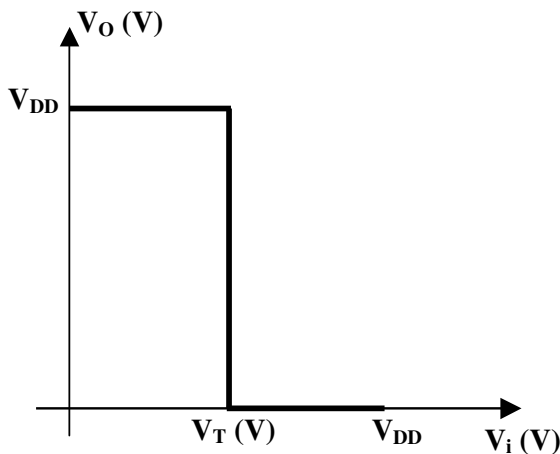
La caratteristica di **ingresso-uscita** della porta **CMOS**, riferita alla serie più diffusa, la **74HC**, è illustrata in figura 1b. Per tensioni inferiori alla tensione di soglia $V_T \cong V_{DD}/2$, T_1 è **OFF** e T_2 è **ON**, sicché $V_O = V_{DD}$. Superata la tensione di soglia, lo stato dei due MOS si inverte, ossia T_1 diviene **ON** e T_2 **OFF**, cosicché la tensione di uscita assume il valore $V_O = 0$.

Questa caratteristica è sostanzialmente valida anche per le altre famiglie della logica **CMOS** ed in particolare per la serie **4000**, per la quale l'alimentazione V_{DD} non è fissata a 5V, bensì è compresa fra i **5V** ed i **15V**.

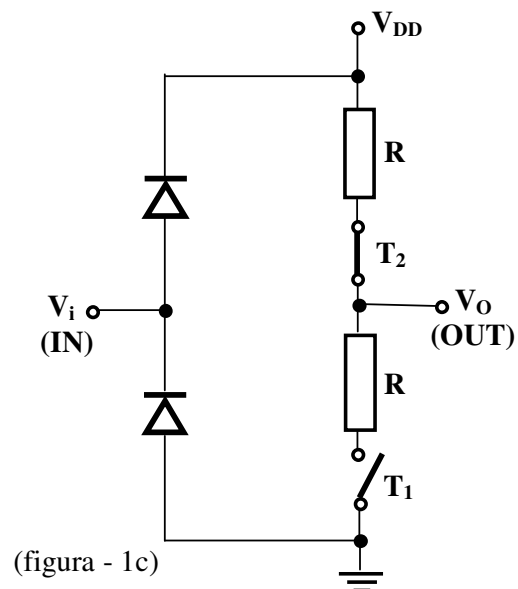
L'uscita delle porte CMOS, correttamente, può essere rappresentata dallo **schema equivalente** di figura 1c. I due **interruttori** rappresentano i MOS nel loro **funzionamento ON-OFF**.

Le resistenze, invece, sono quelle del **canale in conduzione**: il loro valore, circa **50 Ω** per la serie **74HC** e circa **500 Ω** per la serie **4000**, è di solito molto più piccolo di quello delle altre resistenze presenti, per cui possono venire trascurate.

I due **interruttori** rappresentano i MOS nel loro **funzionamento ON-OFF**.



(figura - 1b)

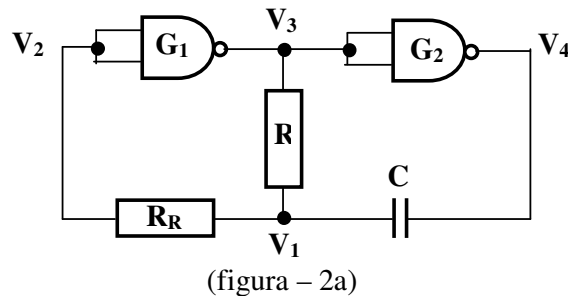


(figura - 1c)

L'ingresso della porta, a causa dell'elevatissima resistenza presentata dai **gate**, può considerarsi praticamente "fluttuante". I due **diodi fissatori** provvedono a collegarlo all'alimentazione e alla massa.

- b) **Astabile a porte CMOS**: Lo schema di un "multivibratore astabile" a porte CMOS è illustrato in figura 2a. Le due porte NAND, con gli ingressi collegati insieme, si comportano come NOT (INVERTER). Il ramo di temporizzazione, costituito dalla resistenza **R** e dal condensatore **C**, viene percorso dalla corrente in un senso o nell'altro a seconda che la tensione V_4 sia alta e la tensione V_3 sia bassa o viceversa.

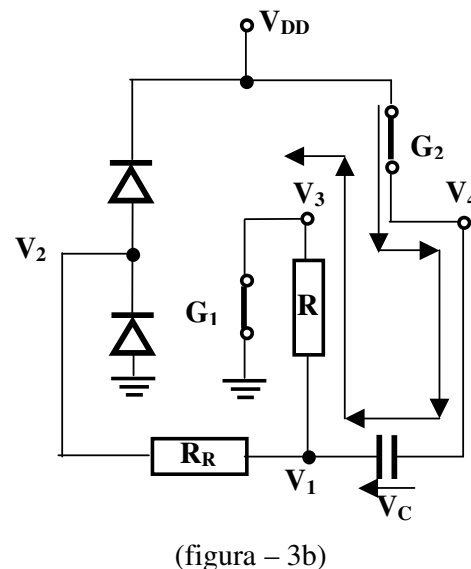
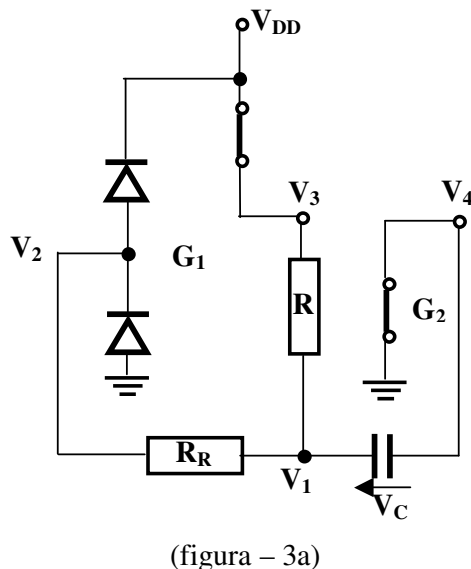
La tensione V_2 , che segue la dinamica della tensione V_1 , al passaggio per il valore della tensione di soglia $V_T (= V_{DD}/2)$ del CMOS provoca l'entrata in zona di amplificazione del blocco $G_1 G_2$ e l'innesco della commutazione, grazie al ramo di reazione costituito dal gruppo CR_R che collega l'uscita di G_2 con l'ingresso di G_1 . Poniamo l'inizio dell'analisi subito prima della commutazione, istante $t = 0^-$, con V_2 che sta giungendo a V_T , ad esempio da valori più bassi, come mostrato in figura 2b.



Istante $t = 0^-$: la porta G_1 sente al suo ingresso un livello ancora basso, in quanto la tensione V_2 sta raggiungendo il valore $V_{DD}/2$, per cui V_3 si trova a **stato alto** ($V_3 = V_{DD}$) e di conseguenza la tensione V_4 è posta a **stato basso** ($V_4 = 0$).

Risulta così valido lo schema di figura 3a, in cui le porte sono rappresentate con le parti del loro circuito equivalente strettamente necessarie, non vengono cioè disegnati gli interruttori aperti dei circuiti di uscita; non circolando corrente in R_R , sarà: $V_1 = V_2 = V_{DD}/2$. Il condensatore **C** risulta carico alla tensione $V_C = V_1 = V_{DD}/2$. All'istante $t = 0$ avviene la commutazione, che inverte i livelli delle uscite; V_3 assume il valore del livello basso, mentre V_4 assume il valore del livello alto.

Istante $t = 0^+$: il condensatore **C** non può cambiare istantaneamente il suo potenziale, sicché $V_C = V_{DD}/2$. Vale allora lo schema di figura 3b, per cui risulta $V_3 = 0$ e $V_4 = V_{DD}$. La tensione V_1 presenta un picco, poiché $V_1 = V_C + V_{DD} = 3 \cdot V_{DD}/2$. A causa del diodo fissatore superiore posto sull'ingresso di G_1 , V_2 non può seguire V_1 , ma resta fissa al valore $V_2 = V_{DD} + 0,7V$ ed R_R viene percorsa da corrente. Al fine di rendere trascurabile e ininfluenza questa corrente rispetto a quella che interessa il ramo di temporizzazione, solitamente si pone la condizione di progetto espressa dalla scelta $R_R \gg R$.



Dallo schema di figura 3b si osserva che **C** tende ad invertire la polarità della sua tensione V_C .

Ciò avviene con costante di tempo $\tau = RC$ (trascurando l'ininfluyente corrente in R_R); la tensione V_1 tende a scendere esponenzialmente al valore $V_1 = 0$.

Istante T_1 : All'istante $t = T_1$, quando V_1 passa nuovamente per la tensione di soglia V_T , avviene la seconda commutazione, che riporta l'uscita di G_1 a **livello alto** e l'uscita di G_2 a **livello basso**. Più precisamente all'istante $t = T_1^-$ il condensatore C (come si deduce dalla figura 3b) è carico al valore $V_C = V_1 - V_{DD} = V_{DD}/2 - V_{DD} = -V_{DD}/2$. Pertanto subito **dopo la commutazione** (istante $t = T_1^+$), quando è nuovamente valido lo schema di figura 3a, la tensione sul condensatore C non cambia e V_1 presenta un picco negativo $V_1 = V_C = -V_{DD}/2$. La **tensione V_2 non segue V_1** a causa **del diodo fissatore inferiore sull'ingresso di G_1** e rimane bloccata a $-0,7V$.

Negli istanti successivi V_1 sale, tendendo esponenzialmente a V_{DD} con costante di tempo $\tau = RC$, ma raggiunto il valore di soglia V_T , provoca l'innesco di una nuova commutazione. Lo stato dell'astabile torna ad essere quello iniziale ed un nuovo ciclo incomincia. Si noti che la tensione V_2 riprende a seguire la tensione V_1 solo quando i diodi si interdiscono, cioè quando la tensione V_2 scende sotto il valore $V_{DD} + V_\gamma$ o sale sopra il valore $-V_\gamma$.

Periodo: Per ottenere le **temporizzazioni** desiderate vengono solitamente sfruttate le **costanti di tempo** relative ai **componenti passivi ad accumulo di energia**, ossia i condensatori e, molto più raramente gli induttori.

Come già noto, il transitorio tipico di carica e scarica di un condensatore, inserito in un circuito resistivo alimentato da una tensione costante, segue un andamento esponenziale, che può essere espresso dall'equazione generale:

$$v_C(t) = V_{fin} - (V_{fin} - V_{in})e^{-\frac{t}{CR}} \quad (1)$$

in cui V_{fin} è il valore finale a cui tende l'esponenziale (per $t \rightarrow \infty$), V_{in} è il valore iniziale (per $t=0$) e $\tau = R \cdot C$ è la costante di tempo del circuito; quest'ultima vale il prodotto della capacità C del condensatore per la resistenza equivalente R di **Thevenin** vista dai capi dell'elemento reattivo.

La relazione (1) può essere utilizzata per determinare il valore del tempo t_0 occorrente affinché l'esponenziale raggiunga un valore predefinito V_{t0} ; si ottiene infatti:

$$v_C(t_0) = V_{t0} = V_{fin} - (V_{fin} - V_{in})e^{-\frac{t_0}{CR}}$$

da cui è possibile ricavare la relazione seguente:

$$t_0 = \tau \cdot \ln \frac{V_{fin} - V_{in}}{V_{fin} - V_{t0}} = C \cdot R \cdot \ln \frac{V_{fin} - V_{in}}{V_{fin} - V_{t0}} \quad (2)$$

Applicando la relazione (2), riferita alla tensione V_1 , per gli intervalli di tempo T_1 e T_2 mostrati in figura 2b, tenendo conto dell'analisi svolta precedentemente, si ottengono le relazioni seguenti valide per i due **semiperiodi** sopra definiti:

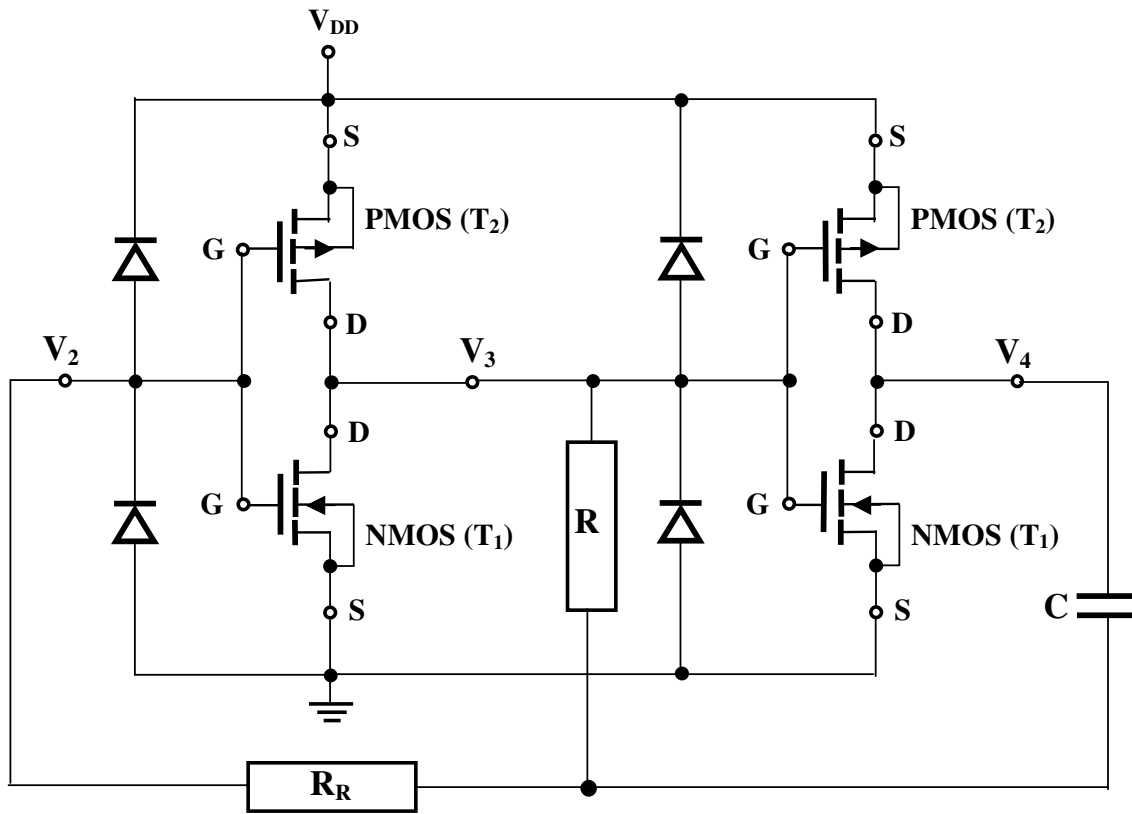
$$T_1 = R \cdot C \cdot \ln \frac{0 - (3/2)V_{DD}}{0 - (1/2)V_{DD}} = R \cdot C \cdot \ln \frac{-3/2}{-1/2} = R \cdot C \cdot \ln 3 = 1,1 \cdot R \cdot C$$

$$T_2 = R \cdot C \cdot \ln \frac{V_{DD} - (-1/2)V_{DD}}{V_{DD} - (1/2)V_{DD}} = R \cdot C \cdot \ln \frac{3/2}{1/2} = R \cdot C \cdot \ln 3 = 1,1 \cdot R \cdot C$$

Il periodo T_0 resta pertanto definito dalla relazione:

$$T_0 = 1/f = T_1 + T_2 = 1,1 \cdot R \cdot C + 1,1 \cdot R \cdot C = 2,2 \cdot R \cdot C = 2,2 \cdot \tau$$

Schema circuitale interno, relativo al circuito di figura A, realizzato mediante due operatori NOT in logica CMOS

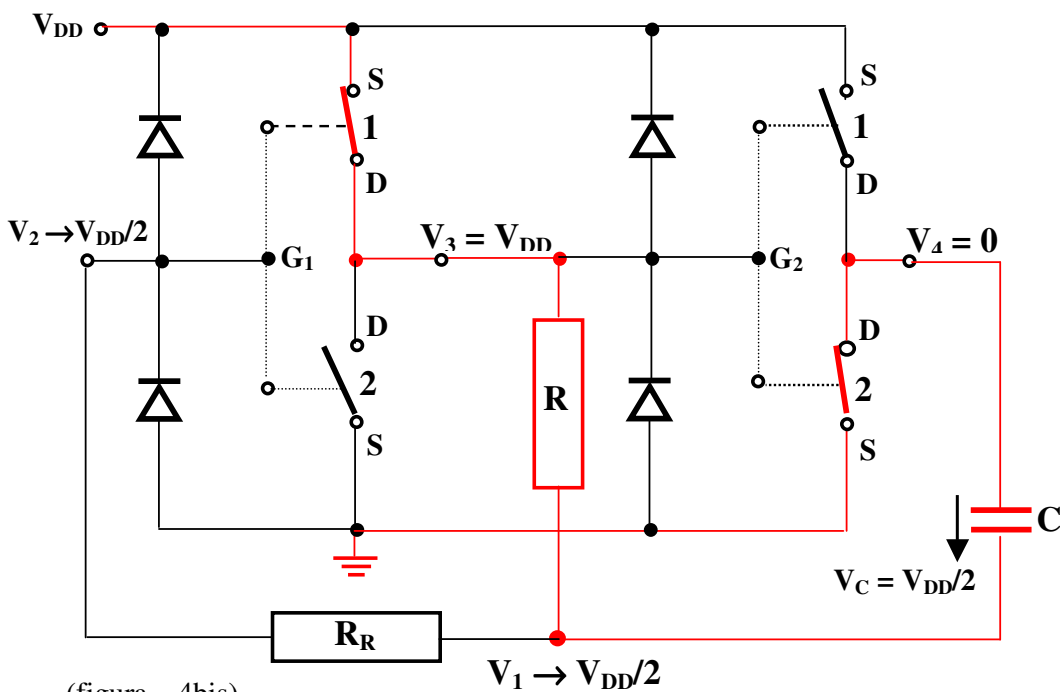


(figura -4)

Rete valida all'istante $t = 0^-$

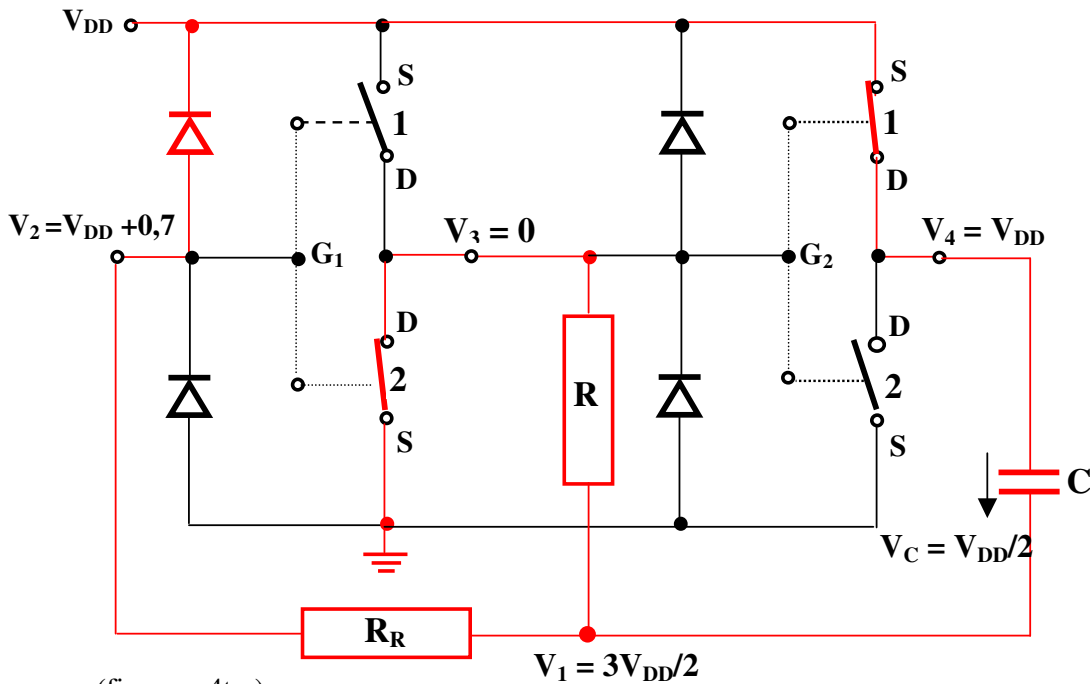
$V_2 \rightarrow V_T = V_{DD}/2 \Rightarrow V_3 = V_{DD}$

quindi $V_4 = 0 \Rightarrow G_{11}$ è ON, G_{12} è OFF, G_{21} è OFF, G_{22} è ON



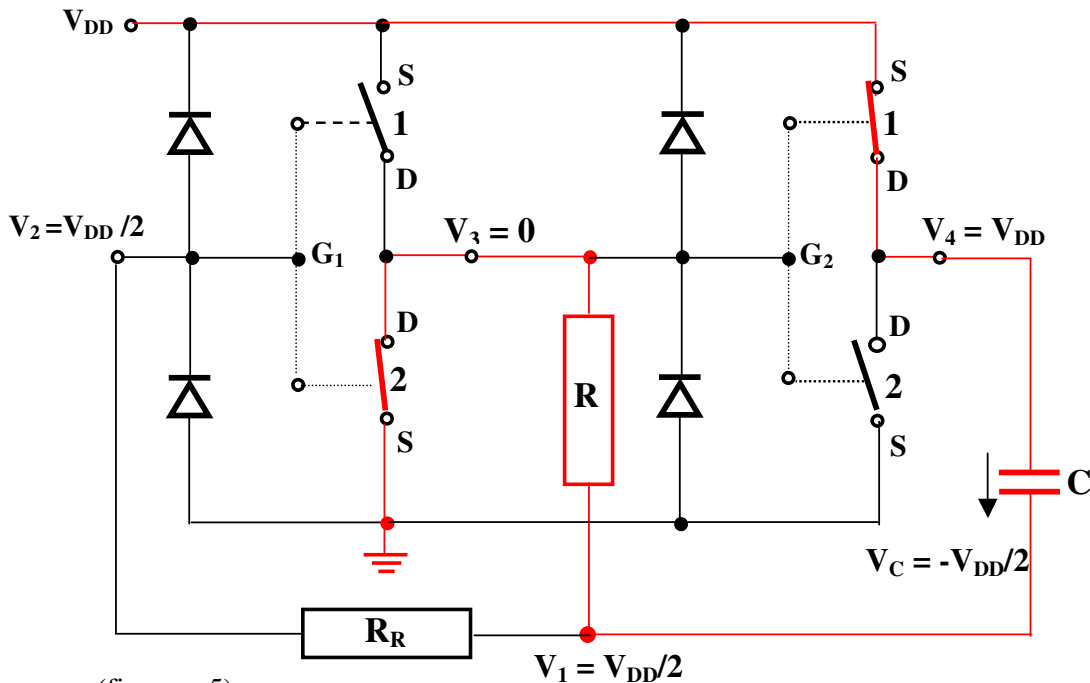
(figura - 4bis)

Rete valida all'istante $t = 0^+$ avviene la commutazione di $G_1 \Rightarrow V_3 = 0$ e $V_4 = V_{DD}$
 $V_C = V_{DD}/2$ e non può cambiare istantaneamente $\Rightarrow V_1 = V_C + V_{DD} = V_{DD}/2 + V_{DD}$
 a causa del diodo fissatore superiore posto sull'ingresso di G_1 , V_2 non può seguire V_1 , ma resta
 fissa al valore $V_2 = V_{DD} + 0,7V$



(figura - 4ter)

Rete valida all'istante $t = T_1^-$: appena prima della commutazione la tensione ai morsetti
 del condensatore è data da: $V_C = V_1 - V_{DD} = -V_{DD}/2$



(figura - 5)

FORME d'ONDA caratteristiche del Multivibratore ASTABILE a CMOS

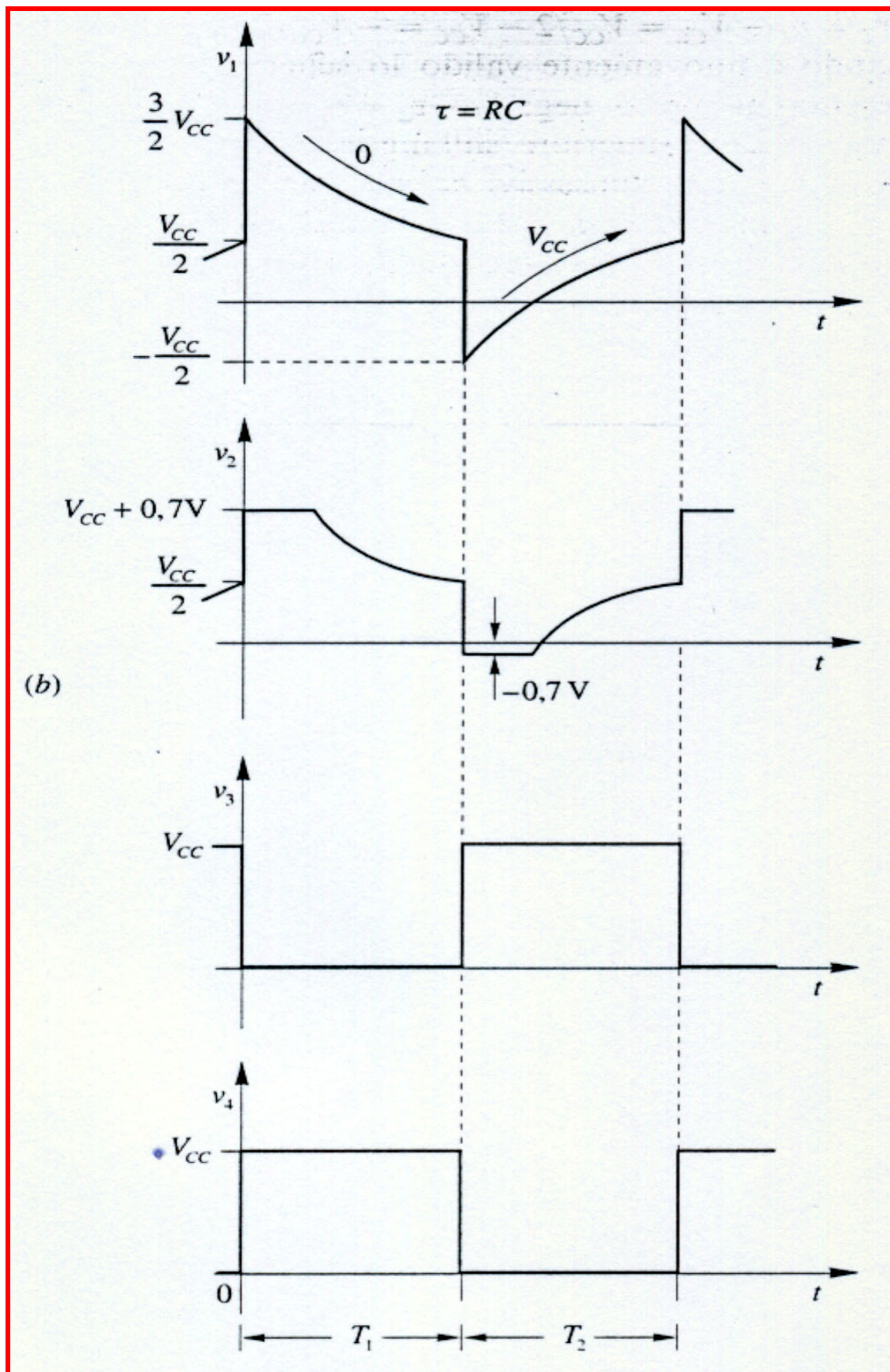


figura 6 – Andamento delle tensioni $v_1(t)$, $v_2(t)$ e dei livelli logici $v_3(t)$ e $v_4(t)$

LISTATO SPICE
SIMULAZIONE MULTIVIBRATORE ASTABILE
OPERATORE LOGICO UNIVERSALE NAND
TECNOLOGIA CMOS serie 4000
CIRCUITO INTEGRATO CD4011 BC

MULTIVIBRATORE ASTABILE CMOS 4011

.tran 5u 10m 9m 5u UIC

.probe

vpp 100 0 15V

x1 100 50 50 10 0 nand2

x2 100 10 10 20 0 nand2

R 10 40 22k

RR 40 50 330k

C1 20 40 10nF IC=0

* The NAND port with two inputs

.subckt nand2 10 40 50 30 20

mp1 30 40 10 10 penh l=1.25u w=5u ad=5p pd=6u as=5p ps=6u
mp2 30 50 10 10 penh l=1.25u w=5u ad=5p pd=6u as=5p ps=6u

mn1 30 40 60 20 nenh l=1.25u w=5u ad=5p pd=6u as=5p ps=6u
mn2 60 50 20 20 nenh l=1.25u w=5u ad=5p pd=6u as=5p ps=6u

.ends

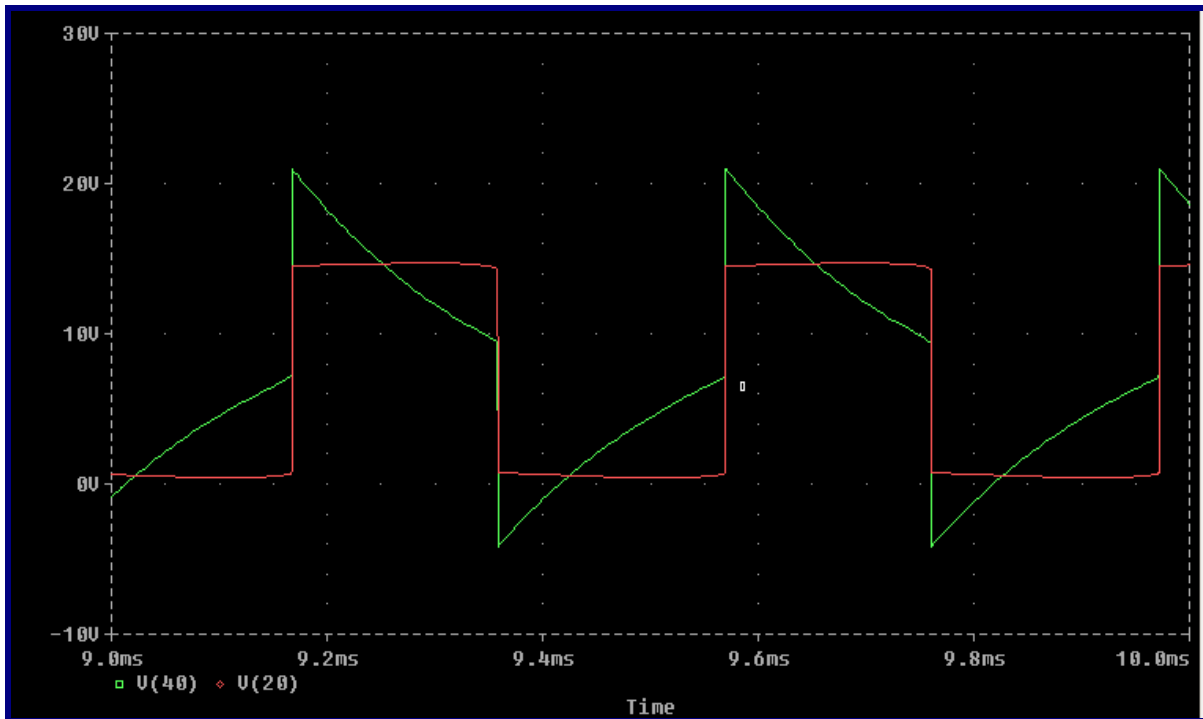
.model nenh nmos level=2 ld=0.0u tox=225.000e-10

+ nsub=1.066e+16 vto=0.622490 kp=6.326640E-05
+ gamma=.639243 phi=.31 uo=1215.74
+ uexp=4.612355e-2 ucrit=174667 delta=0.0
+ vmax=177269 xj=.9u lambda=0.0
+ nfs=4.55168e+12 neff=4.68830 nss=3.000000E+10
+ tpg=1.00000 rsh=60 cgso=2.89e-10
+ cgdo=2.89e-10 cj=3.27e-04 mj=1.067
+ cjsw=1.74e-10 mjsw=.195

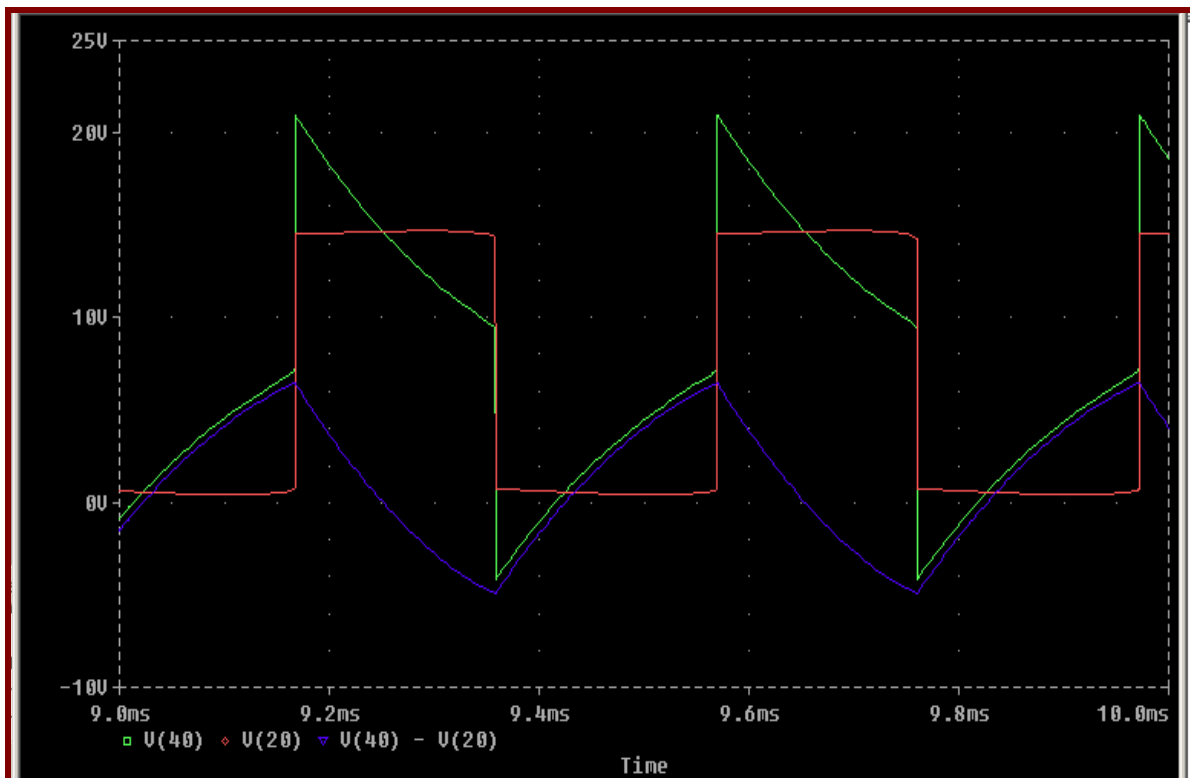
.model penh pmos level=2 ld=.03u tox=225.000e-10
+ nsub=6.575441e+16 vto=-0.63025 kp=2.635440E-05
+ gamma=0.618101 phi=.541111 uo=361.941
+ uexp=8.886957e-02 ucrit=637449 delta=0.0
+ vmax=63253.3 xj=0.112799u lambda=0.
+ nfs=1.668437e+11 neff=0.64354 nss=3.000000E+10
+ tpg=-1.00000 rsh=150 cgso=3.35e-10
+ cgdo=3.35e-10 cj=4.75e-04 mj=.341
+ cjsw=2.23e-10 mjsw=.307

.end

FORME D'ONDA RELATIVE ALLA SIMULAZIONE PSPICE MULTIVIBRATORE ASTABILE A PORTE LOGICHE TECNOLOGIA CMOS



Andamento temporale della tensione $v_1(t)$ e dello stato logico dell'uscita $v_4(t)$



Andamento temporale della tensione $v_c(t)$ ottenuta come differenza fra le tensioni $v_1(t)$ e $v_4(t)$